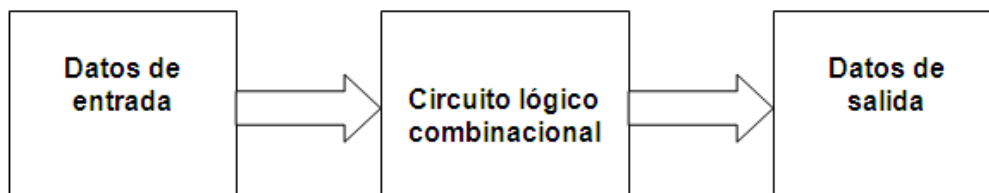




Introducción a la unidad

En los capítulos anteriores hemos manejado los elementos básicos que conforman un sistema digital. Por un lado el manejo binario de la información mediante códigos, sistemas numéricos y el álgebra booleana; por el otro los dispositivos electrónicos digitales que procesan la información de acuerdo a las normas de los elementos conceptuales anteriores: compuertas, decodificadores, multiplexores y sumadores.

Hasta ahora, hemos considerado las salidas de los sistemas digitales dependientes únicamente de las entradas. Es decir tenemos una serie de valores de salida en función de los valores de entrada. Adicionalmente los circuitos que hemos manejado solamente procesan la información pero no la almacenan para futuras aplicaciones. Esto representa una limitante pues cada vez que se procesa una serie de datos, es necesario “programar” el circuito para una tarea específica. Por un lado las salidas de los circuitos vistos no se pueden guardar para su posterior utilización y por el otro los circuitos tienen que ser alimentados (tanto de instrucciones como de datos) cada vez que se realiza un proceso. Elaborando un modelo de los circuitos vistos hasta ahora tendríamos lo siguiente:



Otra característica de este modelo de procesamiento es que las entradas pueden ser modificadas en cualquier momento y como resultado, las salidas del circuito cambian inmediatamente teniendo un retraso determinado por los tiempos de



Unidad VI. Circuitos secuenciales



retardo de cada nivel de implementación digital. Es decir, la variable tiempo no esta siendo controlada en los procesos.

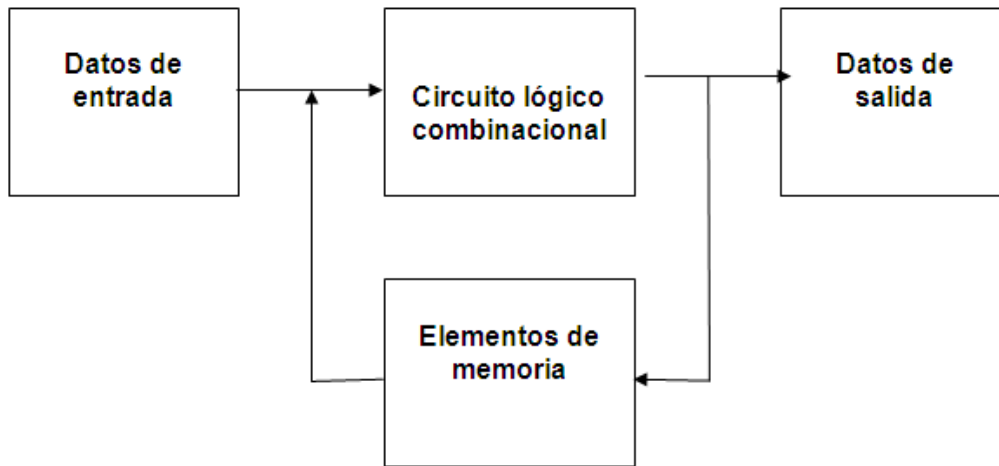
En la presente unidad incluimos dos conceptos en el análisis digital: tiempo y realimentación, lo que implica integrar elementos de memoria en nuestros circuitos capaces de almacenar información binaria. En un sistema informático implica la posibilidad de almacenar información tanto de tareas de procesos como de resultados de los mismos, es decir instrucciones y salidas de procesos que pueden ser realimentados a los sistemas.

A nivel microcomponentes, la construcción de elementos de almacenamiento digital se realiza mediante arreglos de compuertas básicas que generan una categoría diferente de dispositivos: los flip fops. Mediante estos dispositivos construiremos dos tipos de circuitos importantes de una microcomputadora: los registros y los contadores. Los primeros almacenan información como una secuencia de varios bits, los segundos nos permiten sincronizar varios procesos de diversas unidades que funcionan a diferentes frecuencias de operación.

En el presente capítulo incluimos una metodología mediante la cual podemos diseñar circuitos digitales a los cuales se integran elementos de memoria o realimentación. Esta metodología utiliza varias formas de representación de la información de las variables de entrada, los estados del circuito y las salidas del mismo como son los diagramas de estado, las tablas de estado y las cartas de estado de máquina. Consecuentemente, al incluir elementos de realimentación, el modelo de proceso de información será el siguiente.



Unidad VI. Circuitos secuenciales



Objetivo particular de la unidad

Identificar qué es un circuito secuencial, un circuito síncrono y asíncrono, los diferentes tipos de flip-flops (JK, RS T y D), así como sus usos tanto en registros como en contadores

LO QUE SÉ

Define qué es un circuito secuencial.

Para enviar tu respuesta, pulsa el botón **Editar mi envío**; se mostrará un editor de texto en el cual puedes redactar tu información; una vez que hayas concluido, salva tu actividad pulsando el botón **Guardar cambios**.



Unidad VI. Circuitos secuenciales



Temas de la unidad VI

- 1 Circuitos síncronos
- 2 Circuitos asíncronos
- 3 Flip-Flops (JK, RS, T, D)
- 4 Registros
- 5 Temporizadores
- 6 Contadores

Resumen de la unidad

Los circuitos secuenciales incorporan un conjunto de dispositivos electrónicos capaces de almacenar datos de manera indefinida (para las memorias de tipo RAM, mientras se mantenga la energía), estos circuitos son las memorias y funcionan como elementos de realimentación para un circuito combinatorial o procesador de datos. Al hablar de elementos de memoria, se incorpora también una variable que no se consideraba en los circuitos combinatoriales, el tiempo. Los circuitos secuenciales se clasifican en síncronos y asíncronos.

En un circuito secuencial asíncrono, los cambios de estado ocurren por los retardos asociados a las compuertas lógicas utilizadas en su implementación, es decir, estos circuitos no usan elementos especiales de memoria, pues se sirven de los retardos debidos a los tiempos de respuesta de las compuertas lógicas utilizadas. Debido a que los retardos están fuera del control del diseño ocasionan problemas de funcionamiento y además no son idénticos en cada compuerta lógica. Estos retrasos están determinados por los niveles de implementación, los tipos de tecnología empleada y el retraso de cada dispositivo. Por ejemplo, para un sumador completo diseñado con compuertas, se pueden tener al menos dos niveles de diseño para un bit, sin embargo al utilizar sumadores en cascada los retrasos son acumulativos.



Unidad VI. Circuitos secuenciales



Los circuitos secuenciales síncronos, cambian de estado en los ciclos marcados por una señal de entrada oscilatoria de onda cuadrada denominada *reloj*. Con esto se pueden evitar los problemas que tienen los circuitos asíncronos originados por cambios de estado no uniformes en todo el circuito. Adicionalmente, los circuitos síncronos, emplean elementos de memoria llamados flip flops, los cuales son implementados mediante compuertas digitales como NAND y NOR e incorporan la realimentación de señales en su diseño.

Los flip flop almacenan un bit de información y pueden ser de cuatro tipos: SR, JK, D y T. Todos los los flip flops cuentan con dos salidas Q y Q' y las entradas dependen del tipo. Los SR tienen dos entradas S y R. Al tener la señal S alta, la salida Q se enciende (set), es decir el estado del flip flop es uno. Si la señal R es alta, el estado Q va a ser cero (reset). Para las entradas S=0 y R=0 el flip flop mantiene el valor que tenía y para los valores S=1 y R=1 no está definido por lo que no se usa.

Los flip flops tipo JK, operan de manera semejante a los SR, la diferencia es que sí está definido el uso para J=1 y K=1, en este caso la salida Q_{t+1} es Q', es decir cambia de estado.

Los flip flops D cambian de estado siguiendo al valor de la entrada D, mientras que los T, cambian de estado para cuando el valor de T es uno; si el valor de T=0, el valor del flip flop se mantiene.

Mediante arreglos de flip flops y lógica combinacional, podemos diseñar y construir registros, los cuales son elementos de memoria que pueden almacenar varios bits en forma de palabras. También mediante arreglos de flip flops podemos construir circuitos contadores que nos permiten sincronizar dispositivos que trabajan a diferentes frecuencias.



Unidad VI. Circuitos secuenciales



Finalmente en el tema se presentó una metodología para el diseño de circuitos lógicos secuenciales que nos permiten la construcción de los mismos desde el enunciado del problema.



Unidad VI. Circuitos secuenciales



Tema 1. Circuitos síncronos / Tema 2. Circuitos asíncronos

Objetivo del tema

Identificar las diferencias operativas respecto al tiempo de los circuitos secuenciales síncronos y asíncronos y podrá diferenciarlos

Reconocer el concepto de retraso en el tiempo y como la realimentación determina el funcionamiento de los circuitos secuenciales asíncronos.

Desarrollo

1. Circuitos síncronos

Además, el cambio de las variables internas se puede producir de dos maneras en un sistema (circuito) secuencial síncrono.

Por nivel	Este sistema permite que las variables de entrada actúen sobre el sistema en el instante en el que la señal de reloj toma un determinado nivel lógico (“0” ó “1”).
Por flanco o cambios de nivel	Cuando la acción de las variables de entrada sobre el sistema se produce cuando ocurre un flanco activo del reloj. Este flanco activo puede ser de subida (cambio de 0 a 1) o de bajada (cambio de 1 a 0). ¹

¹ Rafael López Ahumada, “Sistemas secuenciales”, material electrónico, p.2, disponible en *Cursos anteriores* de la Universidad de Huelva, http://www.uhu.es/rafael.lopezahumada/Cursos_anteriores/fund01_02/tema7.pdf, (fecha de recuperación 06/10/08)



Unidad VI. Circuitos secuenciales



Realiza la lectura de las páginas 208 a 210 del libro **Lógica digital y diseño de computadores (NEXO 1)** de Morris Mano. En esta lectura se explica la diferencia entre un circuito lógico combinacional y uno secuencial, al incorporar la realimentación mediante la memoria. Se enfatiza la importancia de la señal de sincronía mediante el pulso de reloj para los circuitos síncronos.

2. Circuitos asíncronos

Los circuitos secuenciales asíncronos son circuitos digitales donde los cambios de estado ocurren al cambiar las señales de entrada, afectados por los retardos asociados a las compuertas lógicas utilizadas en su implementación, es decir, estos circuitos no usan elementos especiales de memoria, aunque si utilizan líneas de realimentación. Los retrasos en el tiempo de respuesta no están bajo el adecuado control del diseño, lo cual puede afectar su funcionamiento, pues estos retardos no son idénticos en cada compuerta lógica.

Los circuitos secuenciales síncronos son los que se emplean en el diseño de elementos de computadoras y procesadores, específicamente en el diseño de registros y contadores, Realiza la lectura de **Circuitos asíncronos (ANEXO 2)** en la cual se describe como se constituyen.



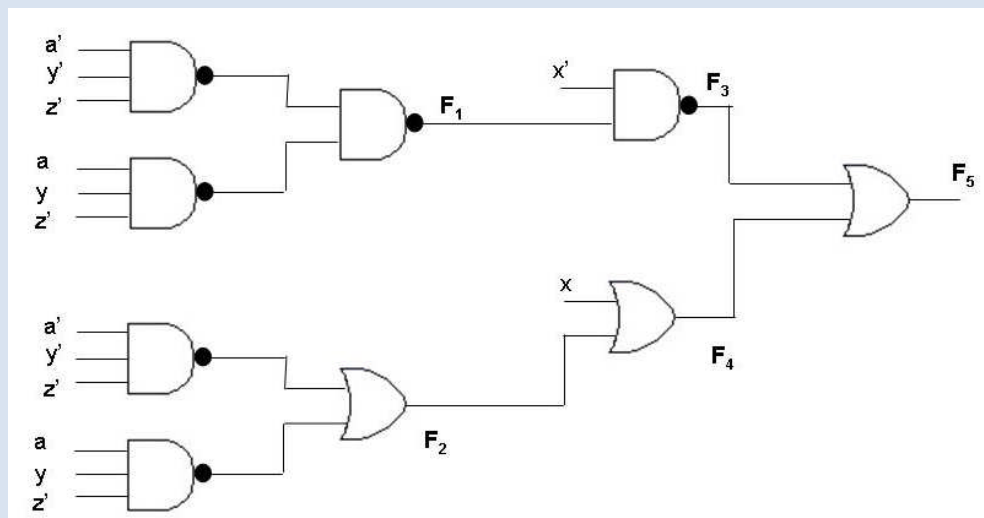
Unidad VI. Circuitos secuenciales



ACTIVIDAD 1

Realiza tu actividad en un procesador de textos, guárdala en tu computadora y una vez concluida, presiona el botón Examinar. Localiza el archivo, ya seleccionado, presiona Subir este archivo para guardarlo en la plataforma.

Determina los niveles de implementación de las funciones F_1 , F_2 , F_3 , F_4 y F_5 para el circuito mostrado en la gráfica.





Unidad VI. Circuitos secuenciales



Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción



Unidad VI. Circuitos secuenciales



Tema 3. Flip-Flops (JK, RS, T, D)

Objetivos del tema

Reconocer la estructura de los elementos de memoria (flip flops) construidos a partir de compuertas NAND y NOR, así como su funcionamiento

Desarrollo

Los elementos de memoria utilizados en los circuitos secuenciales síncronos se llaman flip-flops. Estos circuitos son celdas binarias capaces de almacenar un bit de información. Un flip-flop o circuito biestable mantiene estable el estado de la salida aún después de que las entradas pasen a un estado inactivo. La salida de un flip-flop queda determinado tanto por las entradas actuales como por la retroalimentación (historia) de las mismas. Un flip-flop está construido por un conjunto de compuertas lógicas, normalmente compuertas NAND y NOR.

Los flip-flops se pueden utilizar para:

- a) Diseñar y construir un circuito secuencial de una unidad de control de una computadora.
- b) Construir bloques de memoria RAM (estática y/o dinámica) de una computadora.

Existen diferentes tipos de flip-flops para cual te pedimos realices la lectura del documento **Tipos de Flip-flops (ANEXO 3)**, donde encontraras la descripción de ellos.

Diseño de un Circuito Secuencial

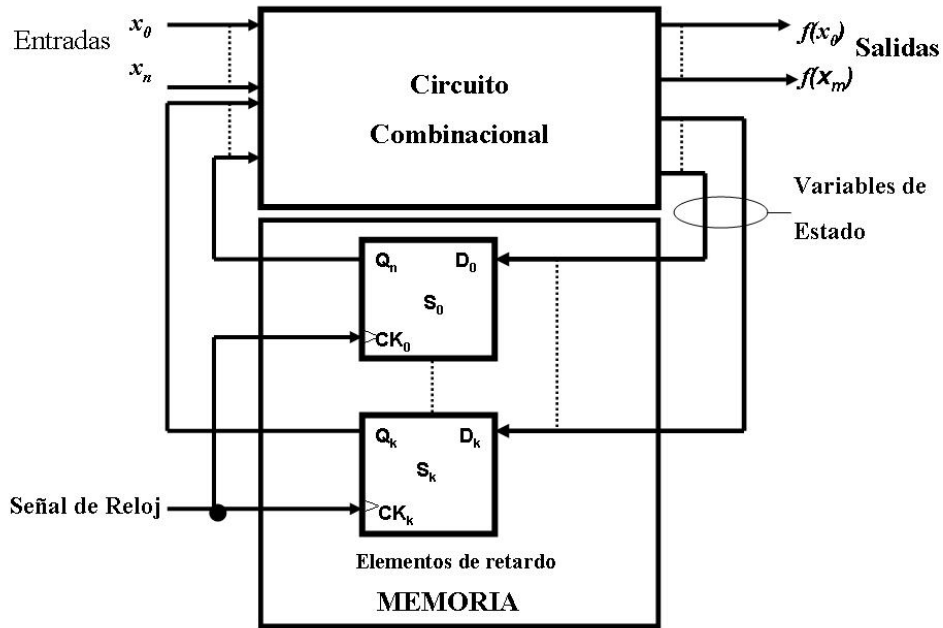
Haciendo nuevamente referencia al circuito secuencial de la **figura Modelo clásico de un circuito secuencial** y utilizando el modelo Mealy, se puede diseñar



Unidad VI. Circuitos secuenciales



e implementar los elementos que constituyen el bloque de memoria utilizando flip-flops del tipo RS, JK, T o D, en tanto que la señal de sincronización puede generarse a través de una señal de reloj del sistema (Temporizador), ver tema Temporizadores.



Modelo clásico de un circuito secuencial



Unidad VI. Circuitos secuenciales



El procedimiento para diseñar un circuito secuencial síncrono es el siguiente:

Enunciado del problema	<p>Se establece la descripción en palabras del comportamiento del circuito, esto puede acompañarse por:</p> <ul style="list-style-type: none">• El diagrama de estado• Un diagrama de tiempos, u• Otra información pertinente (diagrama de flujo, carta asm, etc.)
Obtención tabla de estado	<p>De la información recabada del punto anterior, se obtiene la tabla de estado.</p>
Reducción del número de estados en el circuito secuencial	<p>El número de estados puede reducirse por algún método de reducción de estados, siempre y cuando el circuito secuencial pueda caracterizarse por las relaciones de entrada-salida independientemente del número de estados.</p>
Asignación de valores binarios a cada estado	<p>Se asigna valores binarios a cada uno de los estados. Esto se realiza si en la tabla de estado obtenida en el paso 2 o en la tabla de estado reducida (obtenida en el punto 3) contienen símbolos de letras o números.</p>



Unidad VI. Circuitos secuenciales



<p>Se obtiene el número de Flip-flops a utilizar</p>	<p>Se determina el número de flip-flops necesarios para cubrir el número total de estados. Esto se logra despejando el valor de n en la siguiente ecuación:</p> $N = 2^n$ <p>es decir,</p> $n = \frac{\lg(N)}{\lg(2)}$ <p>donde: n Es el número de flip-flops necesarios N Número total de estados</p>
<p>Elección del flip-flop por utilizar</p>	<p>Se selecciona el tipo de flip-flops que se va a utilizar en el circuito secuencial.</p>
<p>Obtención de la ecuación de excitación</p>	<p>A partir de las tablas de estado se deduce la excitación (ecuación) del circuito y la tabla de salida (si fuera el caso).</p>
<p>Obtención de las funciones de salida</p>	<p>Usando cualquier método de simplificación (por ejemplo, mapas de Karnauhg o álgebra de Boole) se deducen las funciones de salida del circuito n flip-flops.</p>
<p>Dibujar el diagrama lógico</p>	<p>Se dibuja el diagrama lógico (y se comprueba el circuito secuencial).</p>
<p>Dibujar el diagrama eléctrico (opcional)</p>	<p>Se dibuja y se alambra el diagrama eléctrico.</p>



Unidad VI. Circuitos secuenciales

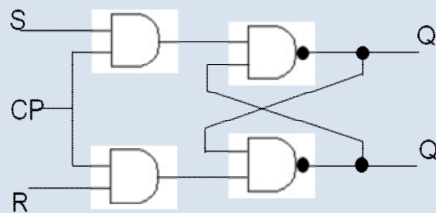


A continuación descarga el siguiente documento, donde realizamos ejemplos para mostrar el diseño de un circuito secuencial síncrono. **Ejemplos (ANEXO 4)**

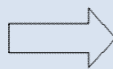
ACTIVIDAD 1

Realiza la lectura de las páginas 208-251 del libro *Lógica digital y diseño de computadores* de Morris Mano

A partir de la información que has revisado (específicamente las páginas 208 a la 212), diseña un flip flop SR temporizado con compuertas NAND, obtén la tabla característica, la ecuación característica y la tabla de excitación. Utiliza el circuito mostrado en la siguiente gráfica



SR	AND	NAND
00	0	1
01	0	1
10	0	1
11	1	0



Un cero \rightarrow 1
 Dos unos \rightarrow 0

SR	Qt+1
10	0
11	0
01	1
11	1
00	Indefinido

Q	SR	Qt+1	Q't+1
0	00	x	X
0	01	1	0
0	10	0	1
0	11	0	1
1	00	X	X
1	01	1	0
1	10	0	1
1	11	1	0



Unidad VI. Circuitos secuenciales



		SR			
		00	01	11	00
Q	0	X	1	0	0
	1	X	1	1	0

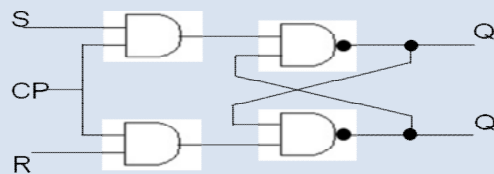
Ecuaciones características

$$Q_{t+1} = S' + RQ$$

$$SR = 1$$

Tabla de excitación

Q	Q t+1	SR
0	0	1*
0	1	01
1	0	10
1	1	*1



Realiza tu actividad en power point, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.



Unidad VI. Circuitos secuenciales



ACTIVIDAD 2

Para el diagrama de estados elabora el circuito correspondiente con flip flops JK.

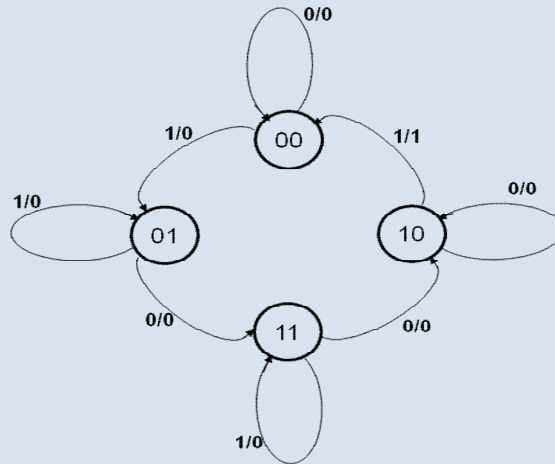


Tabla de excitación del flip flop SR

Q	Q t+1	SR
00	0*	0*
01	10	10
10	01	01
11	*0	*0

Tabla de estados para el circuito

A _t	B _t	x	A _{t+1}	B _{t+1}	y	S _A R _A	S _B R _B
00	0	00	00	0	0*	0*	0*
00	1	01	01	0	0*	10	10
01	0	11	11	0	10	*0	*0
01	1	01	01	0	0*	*0	*0
10	0	10	10	0	*0	0*	0*
10	1	00	00	1	01	0*	0*
11	0	10	10	0	*0	01	01
11	1	11	11	0	*0	*0	*0



Unidad VI. Circuitos secuenciales



X \ AB	00	01	11	10
0	0	1	1	1
1	0	0	1	0

$A = AB + Ax' + B'x'$

X \ AB	00	01	11	10
0	0	0	0	0
1	0	0	0	1

$Y = AB'x$

X \ AB	00	01	11	10
0	0	1	*	*
1	0	0	*	0

$S_A = Bx'$

X \ AB	00	01	11	10
0	*	0	0	0
1	*	*	0	1

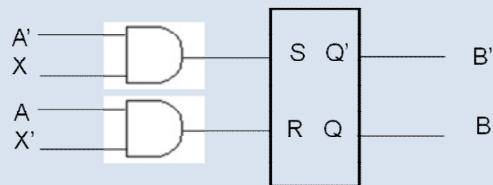
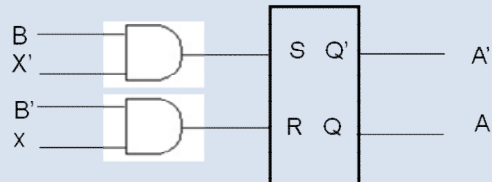
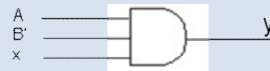
$R_A = B'x$

X \ AB	00	01	11	10
0	0	*	0	0
1	1	*	*	0

$S_B = A'x$

X \ AB	00	01	11	10
0	*	0	1	*
1	0	0	0	*

$R_B = Ax'$



Realiza tu actividad en un procesador de textos, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.



Unidad VI. Circuitos secuenciales



Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción



Unidad VI. Circuitos secuenciales



Tema 4. Registros

Objetivos del tema

Reconocer el diseño de los registros que se utilizan en los sistemas digitales a partir de celdas binarias flip flops así como identificará los tipos más comunes.

Desarrollo

Registro

Un registro es un grupo de celdas donde se almacena información binaria. Un registro está compuesto por un grupo de flip-flops, debido a que cada flip-flop es una celda binaria que almacena un bit de información. Un registro de n-bits tiene un grupo de n flip-flops y tiene la capacidad de acumular cualquier información binaria que contengan n-bits. Un registro, además de contar con n-flip-flops, emplea compuertas lógicas que controlan (el) cuándo y (el) cómo se transfiere la nueva información al registro.

Un registro puede ser

- Registro de corrimiento
- Registro en paralelo
- Registro universal

Revisa el documento **Registros (ANEXO 5)**, en el cual encontraras la descripción de ellos.



Unidad VI. Circuitos secuenciales



ACTIVIDAD 1

Realiza la lectura de las páginas 208-251 del libro Lógica digital y diseño de computadores de Morris Mano

A partir de la información que has revisado, contesta el siguiente cuestionario. Realiza tu actividad en un procesador de textos, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.

- 1.- ¿Qué es un registro?
- 2.- Elabora un esquema de un registro de 8 bits con flip flops tipo D
- 3.- ¿Qué es un registro de compuerta retenedora (gated latch) o latch?
- 4.- ¿Qué es un registro de transferencia en paralelo?
- 5.- ¿Cuál es la diferencia entre un registro y un latch?
- 6.- Elabore el circuito de un registro de 4 bits con carga en paralelo con una señal que habilite la carga.
- 7.- ¿Qué es un registro de desplazamiento.
- 8.- ¿A qué se le llama tiempo de palabra y tiempo de bit en un registro con transferencia en serie?
- 9.- Elabora el circuito de un registro de desplazamiento de 4 bits con una compuerta de control de carga de datos.



Unidad VI. Circuitos secuenciales



Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción



Unidad VI. Circuitos secuenciales



Tema 5. Temporizadores/Tema 6. Contadores

Objetivo del tema

Diseñar los circuitos lógicos secuenciales denominados contadores.

Desarrollo

Un temporizador es un circuito generador de onda de una frecuencia específica.

Un temporizador trabaja en los modos:

- Monoestable
- Biestable, y
- Astable

Los circuitos multivibradores monoestables encuentran amplia aplicación en las computadoras. Los multivibradores biestables se emplean en los contadores binarios para generar señales de tiempo para las distintas operaciones de la computadora y en los registros de desplazamiento para recorrer los datos binarios a todas las unidades de la computadora.

El multivibrador astable se utiliza para modificar la forma de onda de las diversas señales, prolongando su duración si son demasiado breves o acortándola si son demasiado largas; también se emplea para modificar la forma de onda de una señal que se origine con un retardo prefijado, una vez disparado el circuito monoestable.

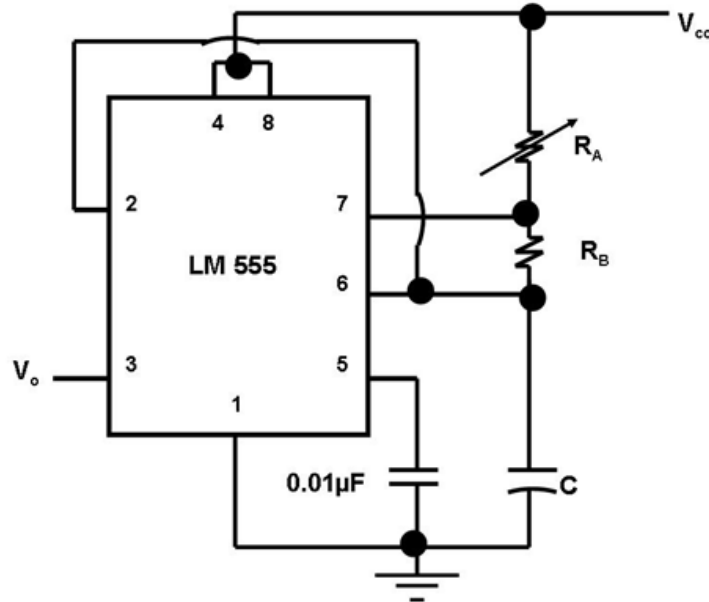
Una forma de realizar un generador de onda cuadrada, el cual va a funcionar como reloj para los diferentes circuitos que componen una computadora, es utilizando transistores o circuitos integrados.



Unidad VI. Circuitos secuenciales



Un circuito temporizador se puede implementar con el C.I. LM 555 (en modo astable), para generar una onda cuadrada, ver figura C.I. LM555



C.I. LM555 (Configuración Astable)

Para generar un oscilador de onda cuadrada que tenga un funcionamiento de 1 [Hz] a 20 [Hz], utilizando el C.I. LM555 (en configuración astable) se realiza de la siguiente manera.

Procedimiento

Se $F_1=1$ = $T_1=1$ = 1 seg
 tiene Hz /f1
 que

$F_2= 20$ = $T_2=1$ = 0.05
 Hz /f2 seg

$T = t_1+t_2$	(1)
---------------	-----





Unidad VI. Circuitos secuenciales



$t_1 = (0.693) C (R_A + R_a)$	(2)
$t_2 = (0.693) C (R_a)$	(3)
$T = (0.693) C (R_A + 2R_B)$	(4)

Se propone que $C=200[\mu F]$ (Capacitor electrolítico de valor comercial)

Despejando R_B de la ec. (3)

$$R_B = \frac{0.05}{(0.693)(220 \times 10^{-6})} = 327.90 \text{ [ohm]}$$

De la ec. (2) y (4)

6. Contadores

Un circuito secuencial que pasa por una secuencia preestablecida de estados después de cada pulso de reloj se llama un contador. En un contador la secuencia de estados puede seguir una cuenta binaria o cualquier otra secuencia de estados.

Se tienen varios tipos de contadores entre los cuales destacan el contador binario y el contador binario en décadas (contador decimal) los cuales explicaremos a continuación.

Contador binario

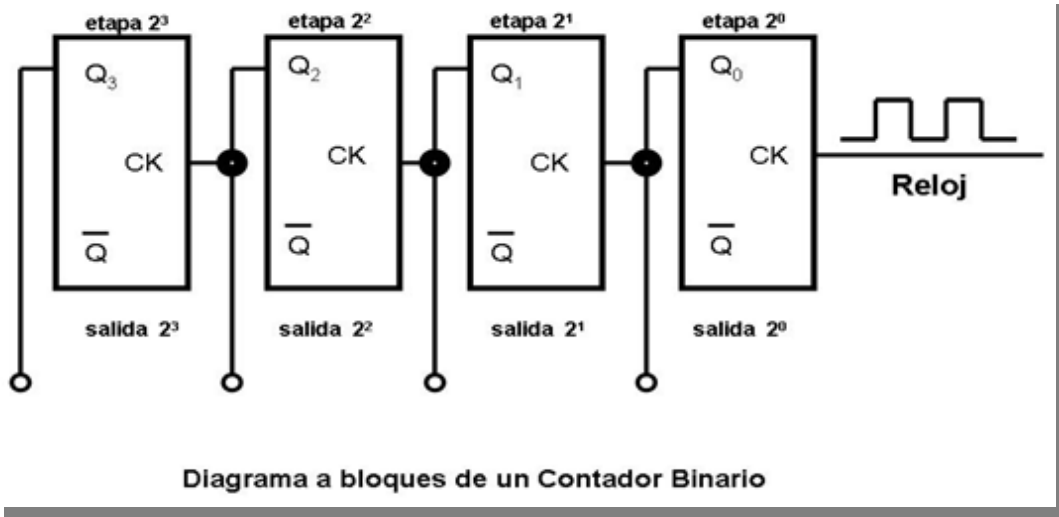
Un contador de n-bits que sigue la secuencia binaria se llama contador binario. Un contador binario de n-bits consiste de n flip-flops y puede contar en binario de 0 hasta $2^n - 1$. En la figura Contador binario se muestra un contador binario de cuatro etapas en el que la señal de entrada (señal de reloj) se aplica a la etapa 2^0 . La salida de cada etapa es designada por el número de orden de la etapa (2^0 , 2^1 , 2^2 , etc), el cual se toma de la salida Q^n del flip-flop. Obsérvese que, en este caso, el



Unidad VI. Circuitos secuenciales



disparo para cada etapa sucesiva procede también de un valor positivo. Cada vez que la señal de entrada de reloj cambia en sentido negativo, se completa la etapa 2^0 .



Utilizando lógica positiva, resulta que el flip-flop terminará cuando la entrada cambie de 1 a 0. Puesto que el primer impulso de reloj, aplicado a la entrada, cambia la salida de la etapa 2^0 de 0 a 1, la etapa 2^1 no se terminará. Solamente cambia de estado la etapa 2^0 . La entrada del segundo impulso hará que se complemente de nuevo la etapa 2^0 , pero pasando ahora de 1 a 0. Este cambio hace complementar a la etapa 1, con lo que su salida pasará de 0 a 1. Ninguna de las restantes etapas queda afectada por estos cambios. Mostrando estos pasos en forma de tabla se observará fácilmente el mecanismo de funcionamiento (ver tabla Contador binario).



Unidad VI. Circuitos secuenciales



Reloj	Q ₃	Q ₂	Q ₁	Q ₀	
0	0	0	0	0	
1	0	0	0	1	←
2	0	0	1	0	
3	0	0	1	← 1	←
4	0	1	0	0	
5	0	1	0	1	←
6	0	1	1	0	
7	0	1	← 1	← 1	←
8	1	0	0	0	
9	1	0	0	1	←
10	1	0	1	0	
11	1	0	1	← 1	←
12	1	1	0	0	
13	1	1	0	1	←
14	1	1	1	0	
15	1	← 1	← 1	← 1	←
16 ó 0	0	0	0	0	

Contador binario de cuatro etapas



Unidad VI. Circuitos secuenciales

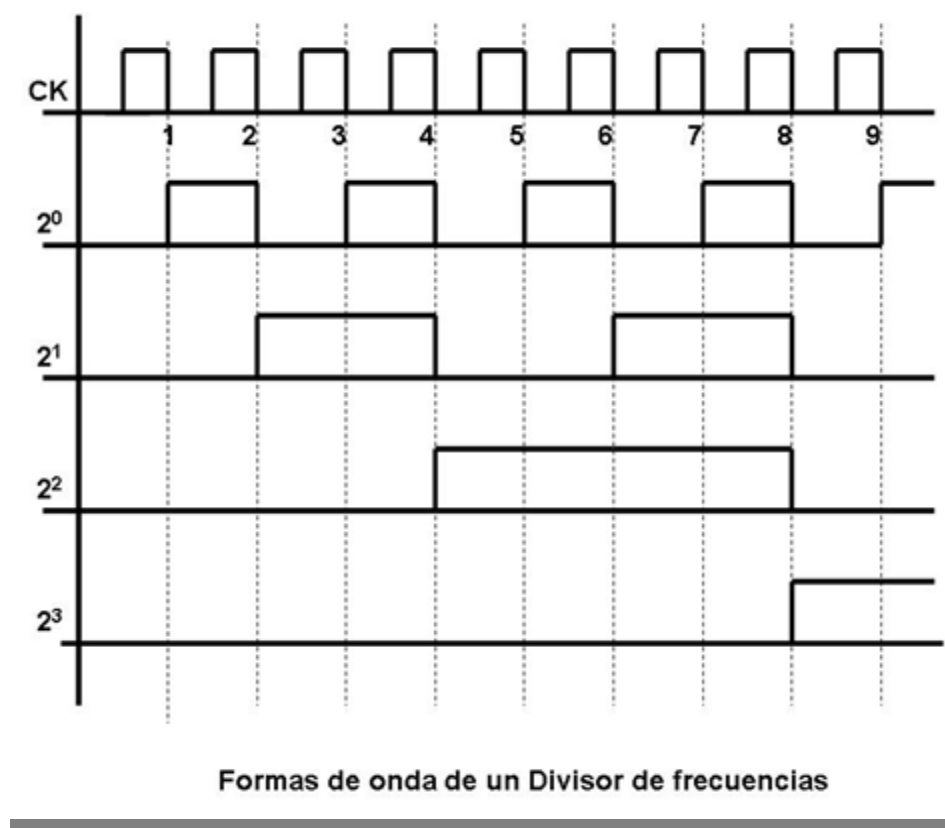


A partir de la *tabla Contador binario de cuatro etapas* se puede observar las flechas que indican cuando el cambio de 1 a 0 produce el disparo de una etapa sucesiva. Obsérvese que la etapa 2^0 cambia en cada uno de los ciclos, la 2^1 solamente en cuatro, la 2^2 solamente en dos, y la 2^3 en uno. Este hecho puede interpretarse como una disminución de la velocidad del ciclo para las etapas de orden superior. Con 16 impulsos, la primera etapa describe el ciclo ocho veces ($16/2^1$), la siguiente cuatro veces ($16/2^2$); la tercera etapa, dos veces ($16/2^3$), y la cuarta, una vez ($16/2^4$). Esta disminución del ciclo puede representarse, también, mediante un diagrama de tiempos como lo indica la figura *Formas de onda*. Esta figura muestra, la señal de entrada (reloj) con las señales de salida de los diferentes flip-flops (Q_3 , Q_2 , Q_1 , y Q_0) de cada una de las etapas indicadas.

Puede verse que la frecuencia del ciclo de cada etapa se reduce en un factor de 2. Por consiguiente, al circuito lógico de la figura *Contador binario* también se le conoce como un divisor de frecuencia. Si la frecuencia de la señal de entrada, por ejemplo hubiese sido de 256 000 [Hz] la señal de salida es de $256000/16$.



Unidad VI. Circuitos secuenciales



Algunas veces se necesita otro factor de recuento. Normalmente, el factor debe ser diez, de modo que el recuento sea algún múltiplo de diez para su empleo en operaciones decimales.

Existen diversas técnicas para modificar un contador binario. El método más difundido consiste en utilizar realimentación con objeto de adelantar el conteo. Cuando se desea un cierto valor de conteo se elige el número de etapas de modo que sea proporcional al número binario inmediato más alto, y se emplea el conteo en un número igual al número de pasos excedentes.

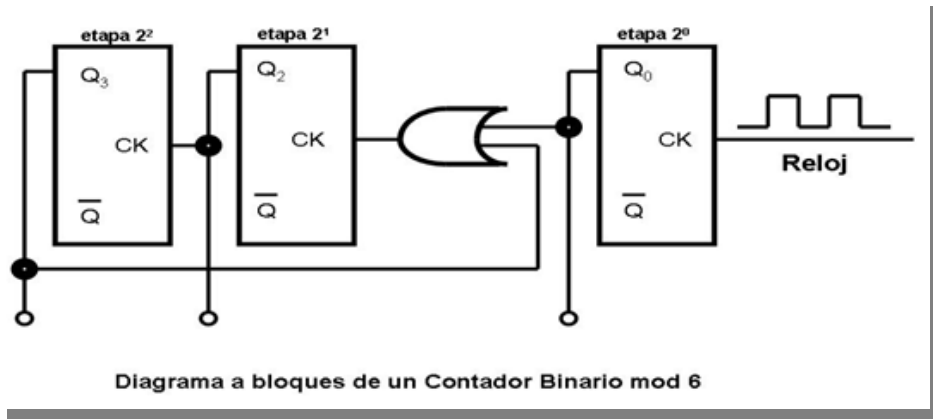
Por ejemplo, para contar 6 unidades en un contador de tres etapas (conteo hasta 8) ha de utilizarse realimentación para adelantar el conteo en dos pasos. Ocho menos



Unidad VI. Circuitos secuenciales



dos proporciona el conteo deseado, es decir, seis, (ver **figura Diagrama a bloques**).

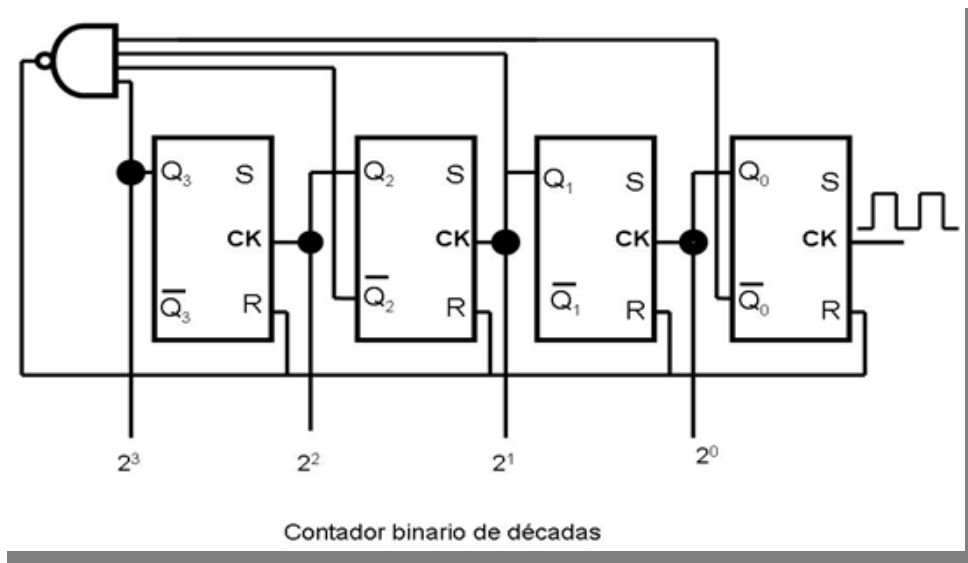


En la **figura Diagrama a bloques** se muestra un circuito para el conteo. Un contador para el conteo de 6 se suele llamar “módulo 6” (generalmente se abrevia mód 6), indicando el módulo del contador, es decir, el valor del impulso particular para el cual vuelve de nuevo a cero. Puesto que el impulso de disparo se produce mediante un cambio predeterminado de tensión (positivo o negativo), deberá tenerse presente su sentido al diseñar el circuito. Cuando se emplea lógica positiva, la tensión más positiva es el 1 y la menos positiva es el 0. Por consiguiente, al pasar de 1 a 0 se produce un cambio negativo. Cuando se utiliza lógica negativa, al ser menos positivo el 1 que el 0, se genera un escalón de tensión de sentido positivo.

Algunas veces el contador de décadas tiene que proporcionar el conteo binario equivalente para cada impulso decimal. Suele utilizarse una compuerta decodificadora para detectar el conteo final (10 en este caso) y para poner a cero el controlador. Un circuito de este tipo es el representado en la figura Contador binario de décadas y su tabla de recuento es la tabla Contador binario decimal



Unidad VI. Circuitos secuenciales



La compuerta produce un nivel bajo "0" cuando se alcanza el conteo 1010 (decimal 10) y repone (puesto a "0") las cuatro etapas. La tabla 6.2 muestra que solamente es necesario poner los flip-flops 2^1 y 2^3 para volver a contar desde cero. Se reponen todas las etapas para asegurar que el contador empieza en cero en todo momento. La tabla también indica que el contador binario de cada paso decimal es exactamente el contador binario equivalente a dicho conteo decimal.



Unidad VI. Circuitos secuenciales



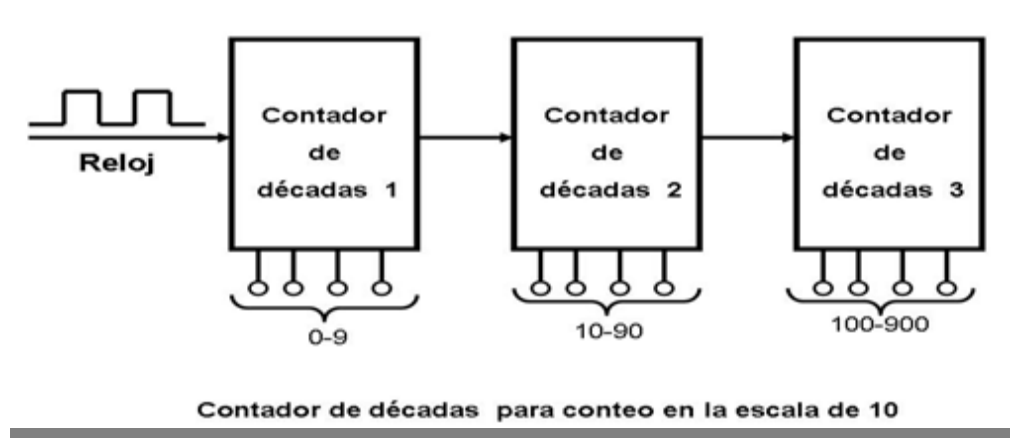
Reloj	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0

↓ ↓ ↓ ↓ ↓

0	0	0	0	0
---	---	---	---	---

Contador binario decimal

Para conseguir un contador en escala de 10 pueden asociarse varios contadores de décadas (ver **figura Contador de décadas**).





Unidad VI. Circuitos secuenciales



ACTIVIDAD 1

A partir de la información que leíste y la lectura de las páginas y de la 282 a 300 del libro Lógica digital y diseño de computadores de Morris Mano. Elabora el circuito de un contador digital síncrono para los números pares de 4 bits en código BCD. Utiliza flip flops JK.

Realiza tu actividad en un procesador de textos, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.

ACTIVIDAD 2

Elabora un circuito que incluya un registro de desplazamiento serie de 8 bits y un contador asíncrono ascendente que controle la transición de datos en serie del registro. Utiliza flip flops SR para el registro y flip flops JK para el contador.

Realiza tu actividad en power point, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma



Unidad VI. Circuitos secuenciales



Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción



Unidad VI. Circuitos secuenciales



Autoevaluación

Escribe el número que considere corresponda a la definición.

1) Contador	
2) Flip flop T	
3) Astable	() Grupo de celdas donde se almacena información binaria.
4) Biestable	() Circuitos lógicos secuenciales que requieren una señal de reloj para funcionar.
5) Reset	() Circuito secuencial que pasa por una secuencia preestablecida de estados después de cada pulso de reloj.
6) Registro	() Bloque principal en un circuito secuencial y que lo diferencia de un circuito combinacional.
7) Flip-flop D	() Multivibrador utilizado para modificar la forma de onda de las señales.
8) Temporizador	() Circuito generador de señales de pulsos cíclicos.
9) Circuito síncrono	() Acción de colocar la salida de un flip flop a cero.
10) Memoria	() flip-flop denominado "flip-flop de datos".
11) Flip flop JK	() Dispositivo electrónico digital que almacena un bit de información con una o dos entradas.
12) Circuito asíncrono	() Flip-flop que modifica su estado cuando su entrada está en 1.
13) Flip-flop	() Arreglo de información para un flip flop que muestra el los valores del estado siguiente dependiendo de las entradas y el estado presente.
14) Tabla característica	
15) Flip flop SR	



Unidad VI. Circuitos secuenciales



Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción



Unidad VI. Circuitos secuenciales



LO QUE APRENDÍ

Responde lo siguiente:

1. Elabora un documento explicando de que manera los aprendizajes de esta unidad pueden integrarse a tu labor como licenciado en informática
2. Elabora un circuito que incluya un registro de desplazamiento serie de 8 bits y un contador asíncrono que ascendente y que controle la transición de datos en serie del registro. Utiliza flip flops SR para el registro y flip flops JK para el contador.

Realiza tu actividad en un power point, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.



Unidad VI. Circuitos secuenciales



Glosario de la unidad

Biestable.

Circuito oscilador de transición impulsada. Es un circuito que mantiene un estado, encendido y apagado, durante tiempo indefinido y el cual es cambio mediante el cambio en la entrada.

Circuito lógico secuencial.

Circuito en donde se incorpora la memoria como elemento de realimentación o almacenamiento de memoria.

Circuito secuencial asíncrono.

Circuito secuencial en donde los cambios de estado, en donde la variable tiempo esta determinada únicamente por los retrasos de cada compuerta. Presenta el inconveniente de que esta característica no puede ser controlada en el diseño.

Circuito secuencial síncrono.

Circuito secuencial en donde se incorpora una señal periódica de reloj, la cual determina los instantes en que el circuito responde a las variables de entrada y los estados de la memoria.

Contadores.

Circuitos secuenciales cuya salida es una lista ascendente o descendente ordenada de acuerdo con una lógica preestablecida. Estos circuitos no requieren de entradas para disparar los cambios de estado, los cuales se determinan por los cambios en la señal de reloj.

Diagrama de estados.

Representación gráfica donde se muestra el comportamiento de un circuito secuencial. Los estados se representan por círculos con su nomenclatura en binario. Las transiciones se muestran mediante líneas que conectan los círculos.



Unidad VI. Circuitos secuenciales



Diagrama de tiempo.

Representaciones gráficas de la evolución de los valores que toman las variables de interés en un circuito digital, de la manera como se podrían ver en la pantalla de un osciloscopio.

Ecuaciones de estado.

Expresión algebraica que especifica las condiciones para las transiciones de estado de los flip flops.

Flip flop D.

En este flip flop la salida $Q_{t+1} = D$. si $D=0$ entonces $Q_{t+1}=0$ y si $D=1$, $Q_{t+1}=1$, independientemente del valor del estado Q .

Flip flop JK.

Flip flop para el cual la entrada J hace $Q_{t+1}=0$; $K=1$ hace $Q_{t+1}=1$, $J=0$ y $K=0$ hacen $Q_{t+1}=Q$ y finalmente $J=0$ y $K=0$ hacen $Q_{t+1}=Q'$.

Flip flop SR.

Flip flop en el cual la entrada S pone $Q_{t+1}= 1$; R hace $Q_{t+1}=0$; con $S=0$ y $R=0$ $Q_{t+1}=Q$ y para $S=1,R=1$ no esta definido.

Flip flop T.

Flip flop en el cual la entrada T determina el cambio del estado del flip flop. Si $T=0$ no hay cambio de estado, si $T=1$, cambia el estado.

Flip flops.

Celdas binarias capaces de almacenar un bit de información, construidas con arreglos de compuertas con realimentación. De acuerdo a la forma como la información entra al flip-flop determina el tipo de este.



Unidad VI. Circuitos secuenciales



Latch.

Un latch es un circuito lógico secuencial biestable que almacena un bit de información y su respuesta es independiente de los pulsos de reloj, solo responde a las entradas.

Memoria.

Dispositivos y medios electrónicos o mecánicos en un sistema digital que almacenan información. Generalmente la memoria en una computadora se refiere a los arreglos de memoria de trabajo de la computadora.

Método de diseño.

Secuencia de pasos mediante los cuales podemos diseñar y construir circuitos lógicos secuenciales a partir del enunciado del problema.

Realimentación.

En los modelos de arquitectura de computadoras, la realimentación constituye la memoria, mediante la cual, las salidas van a depender tanto de las entradas como de los estados que guarda el circuito en los elementos de memoria.

Registros.

Arreglo de flip flops que almacenan varios bits de datos.

Registros de corrimiento.

Arreglos de flip flops en serie en donde la carga o descarga del valor de cada uno es un desplazamiento al siguiente, la salida de uno corresponde a la entrada del siguiente.



Unidad VI. Circuitos secuenciales



Retraso en el tiempo.

Tiempo de retraso en las compuertas debido a la respuesta de los circuitos que forman las compuertas digitales.

Salida Q.

Salida de los flip flops correspondiente al estado siguiente. Los flip flops, tienen dos salidas, una es Q y la otra Q'. Ambas son complementarias.

Señal de reloj.

Señal periódica que sincroniza el comportamiento de un circuito secuencial.

Tabla característica.

Tabla de transición. Muestra el estado siguiente en función del estado presente y de las entradas.

Tabla de excitación.

Arreglo de columnas y renglones que nos proporciona información del comportamiento de los flip flops. Muestra las entradas requeridas para establecer un estado deseado a partir del estado presente.

Tabla de transición.

Arreglo de información que muestra el comportamiento de los flip flops. Muestra los valores del estado siguiente dependiendo de las entradas y el estado presente. También se le llama tabla característica.

Tiempo de propagación.

Tiempo de retraso de la respuesta de un circuito.



Unidad VI. Circuitos secuenciales



MESOGRAFÍA

Bibliografía básica

Bibliografía complementaria

Sitios electrónicos



Unidad VI. Circuitos secuenciales

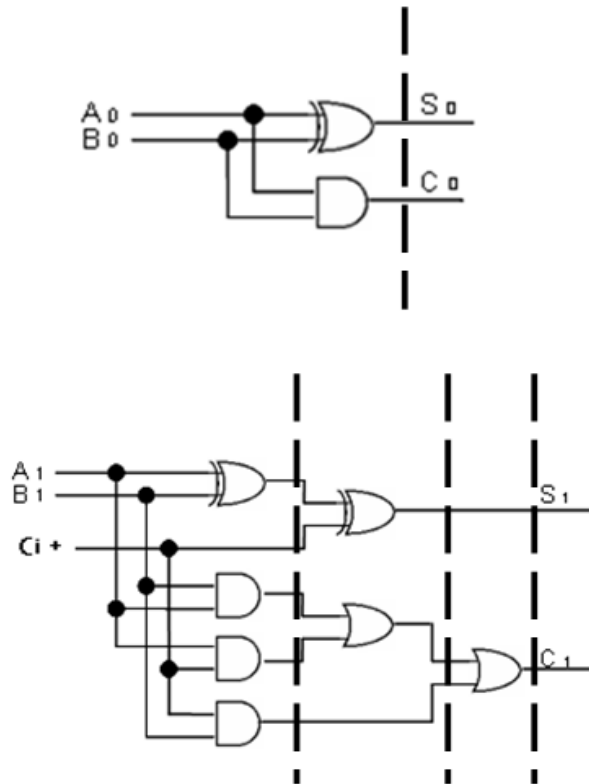


ANEXO 2

CIRCUITOS SECUENCIALES ASÍNCRONOS.

Aunque no se trata de un circuito específicamente secuencial, un circuito sumador de dos palabras de 4 bits cada una ilustra el efecto de los retrasos en el tiempo y como se puede diseñar reduciendo los niveles de implementación y por lo tanto los retrasos en el tiempo. El circuito lógico es un sumador con acarreo (*carry look ahead*). Al estar construido con sumadores completos en serie, la realimentación se realiza de un sumador al siguiente mediante la señal de acarreo.

En los siguientes diagramas se muestran los circuitos para un sumador medio y un sumador completo.





Unidad VI. Circuitos secuenciales



Para el medio sumador observamos un nivel de retraso debido a que solo manejamos dos compuertas y no están conectadas secuencialmente. Para los sumadores completos observamos tres niveles de diseño lo que representa tres retrasos. Sin embargo en el sumador completo si utilizamos una compuerta OR de tres entradas, los niveles se reducen a dos. El sumador completo realiza la suma de un solo bit con acarreo de entrada y de salida.

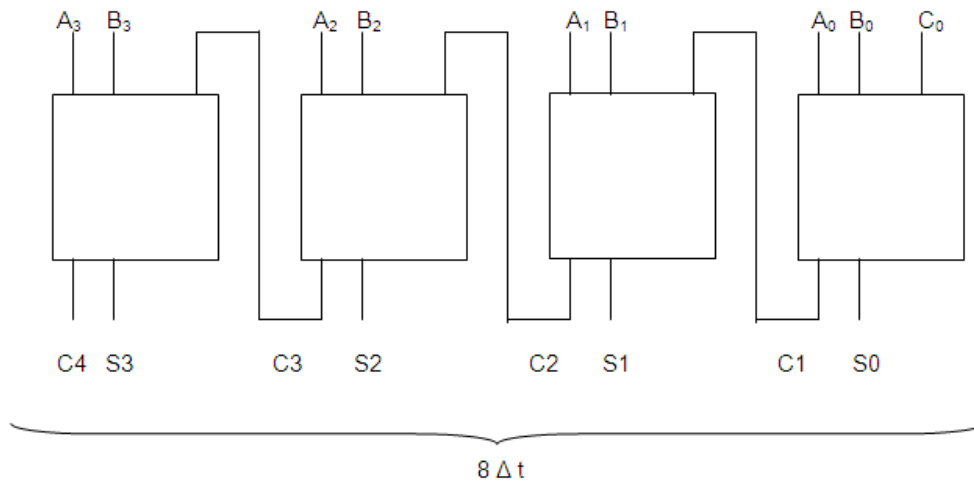
Para implementar un sumador de dos palabras de cuatro bits utilizando sumadores completos, tenemos lo siguiente:

$$A_3 \ A_2 \ A_1 \ A_0 \leftarrow C_0$$

$$B_3 \ B_2 \ B_1 \ B_0$$

$$C_4 \leftarrow \ S_3 \ S_2 \ S_1 \ S_0$$

El diagrama de bloques utilizando el acarreo de salida como entrada al bloque siguiente es:





Unidad VI. Circuitos secuenciales



Dado que cada sumador completo tiene un retraso de $2 \Delta t$ para los cuatro sumadores tenemos $8 \Delta t$. Si consideramos que el primer bloque puede ser un medio sumador, solo requerimos $7 \Delta t$. De manera general se requieren $2N-1 \Delta t$ para realizar la suma de N bits. El problema que se presenta en el circuito es que cada bloque tiene que esperar el acarreo de la etapa previa para poder realizar la suma de dos bits. Si podemos determinar cuanto vale el acarreo de salida previamente, podemos realizar la suma de parejas de bits al mismo tiempo.

El circuito que realiza esta operación se denomina Sumador con *Carry Look Ahead*, y genera todos los acarreos previamente y después realiza la suma de cada pareja de bits.

Para el Sumador completo:

$$S_i = A_i \oplus B_i \oplus C_i$$

$$C_{i+1} = A_i B_i + (A_i \oplus B_i) C_i$$

$$C_{i+1} = A_i B_i + (A_i \oplus B_i) C_i$$

$$\underbrace{\quad\quad}_G \quad \underbrace{\quad\quad}_P$$

$$G_i \quad P_i$$

Donde G_i es la función generadora y P_i es la función propagadora.

Por lo que tenemos:

$$C_{i+1} = G_i + P_i C_i$$



Unidad VI. Circuitos secuenciales



Por lo que podemos prever cuanto vale el acarreo para cada etapa.

$$i = 0$$

$$C_i = G_0 + P_0 C_0 = G_0 \quad \text{dado que } C_0 \text{ es cero} \rightarrow C_1 = G_0$$

Para $i = 1$

$$C_2 = G_1 + P_1 C_1 = G_1 + P_1 G_0$$

Para $i=2$

$$C_3 = G_2 + P_2 C_2 = G_2 + P_2 (G_1 + P_1 G_0) = G_2 + P_2 G_1 + P_2 P_1 G_0$$

Para $i=3$

$$C_4 = G_3 + P_3 C_3 = G_3 + P_3 (G_2 + P_2 G_1 + P_2 P_1 G_0) = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0$$

En la tabla siguiente se muestran los valores para los primeros valores de i :

Valor de i	C	Valor del acarreo
0	C_1	G_0
1	C_2	$G_1 + P_1 G_0$
2	C_3	$G_2 + P_2 G_1 + P_2 P_1 G_0$
3	C_4	$G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0$
4	C_5	$G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 G_0$

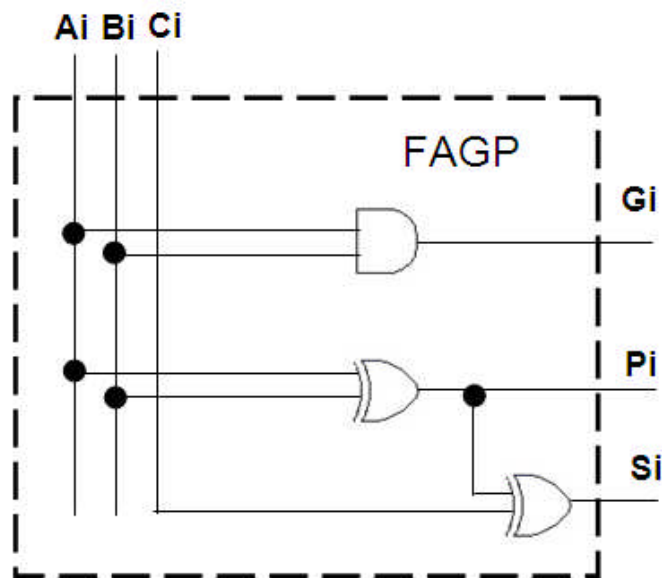


Unidad VI. Circuitos secuenciales



Para un sumador de 4 bits, utilizamos hasta $i=3$. Para el diseño implementamos por un lado las ecuaciones 1 en lo que se llama un sumador completo generador propagador (SCGP) y por el otro las ecuaciones 2 llamadas Carry Look Ahead (CLA), tenemos:

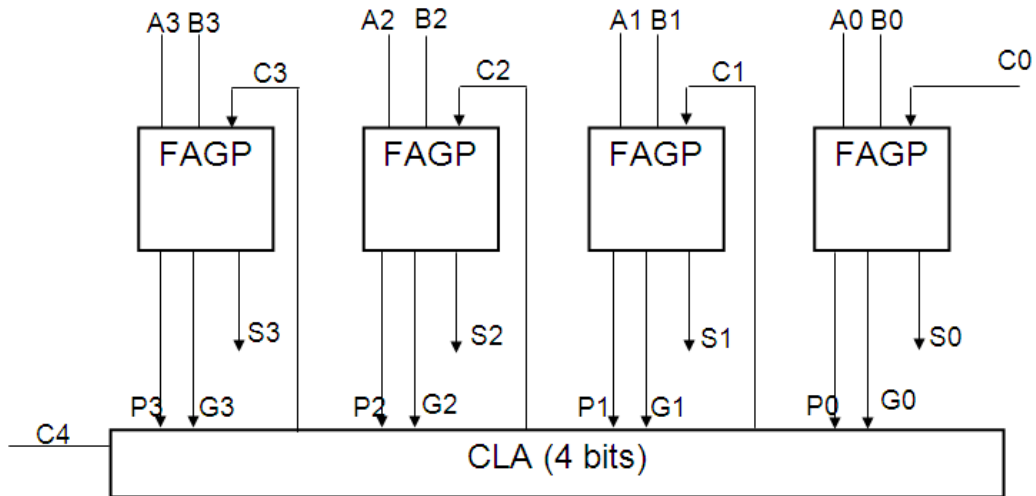
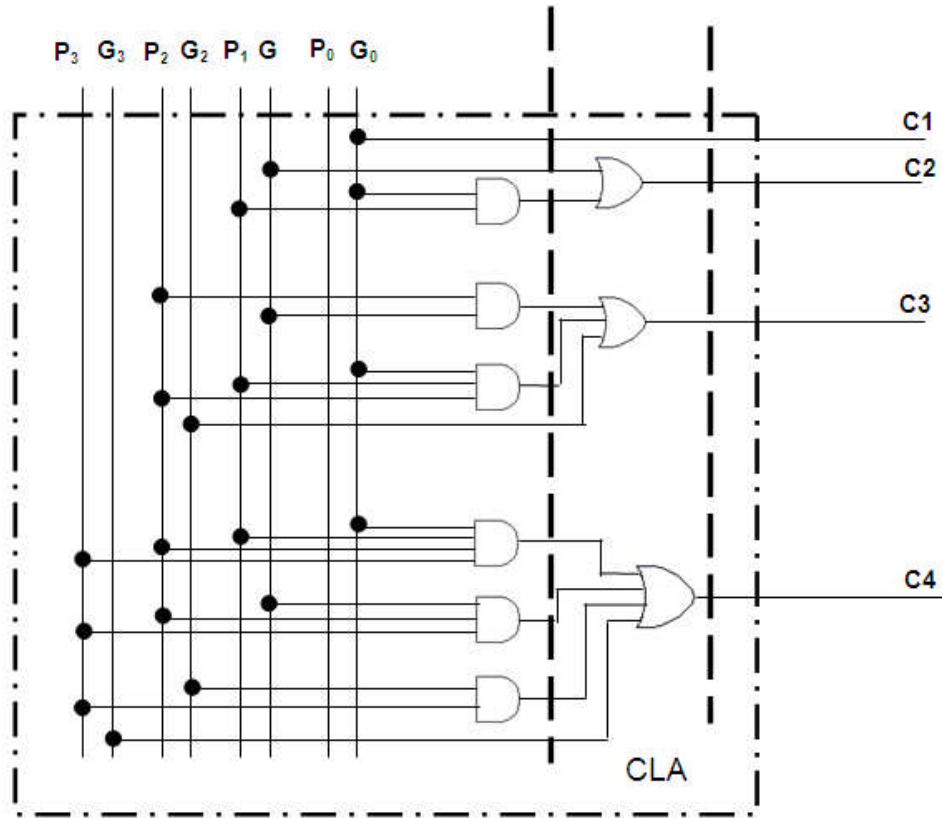
Circuito para el generador propagador



Circuito para el Carry Look Ahead (CLA). Para este circuito, implementado con dos niveles de compuertas, solo tenemos $2 \Delta t$ en la generación de los acarrees.



Unidad VI. Circuitos secuenciales





Unidad VI. Circuitos secuenciales



ANEXO 3

TIPOS DE FLIP FLOP (JK, RS, T, D)

Los *flip-flops* o *circuitos biestables* son la forma más sencilla de un circuito secuencial. Existen diferentes tipos de flip-flop entre los cuales se pueden mencionar los siguientes:

- Flip-flop JK
- Flip-flop SR
- Flip-flop T, y
- Flip-flop D

y todos ellos tienen las siguientes propiedades:

- El flip-flop es un dispositivo electrónico con dos estados. El flip-flop siempre se encuentra en uno de los dos estados, en ausencia de una señal de entrada, por lo cual se dice que siempre está recordando el último estado. De esta manera, el flip-flop funciona como una memoria de un bit en el diseño de un circuito secuencial.
- Para que un flip-flop cambie de estado, es necesario introducir una señal de entrada.
- El flip-flop tiene dos salidas, \bar{Q} y Q , las cuales son siempre complementarias.

A continuación explicaremos cada uno de los diferentes tipos de flip-flop utilizados en el diseño de circuitos secuenciales en una computadora.

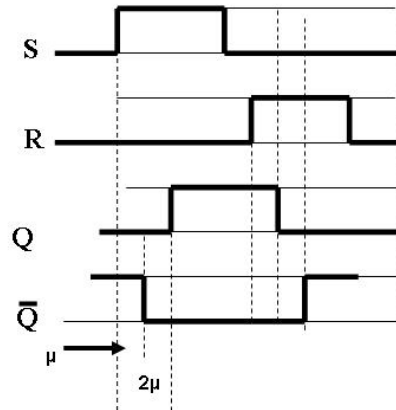
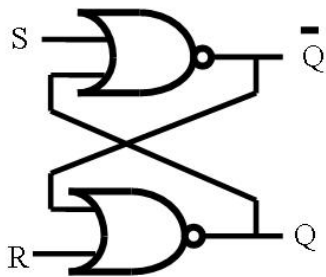


Unidad VI. Circuitos secuenciales



• Flip-Flop SR

El flip-flop SR es un circuito biestable que retiene o almacena un único bit de información. El flip-flop SR tiene dos entradas, S (Set) y R (Reset), y dos salidas, \bar{Q} y Q, y puede estar construido a partir de dos puertas NOR unidas por una retroalimentación, (ver figura Circuito Flip-Flop S-R a base de compuertas NOR), o por dos compuertas NAND también unidas por una retroalimentación, (ver figura *Flip-Flop SR a base de compuertas NAND.*)



Q_t	S_t	R_t	Q_{t+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	(Prohibido)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	(Prohibido)

Figura Un circuito Flip-Flop S-R a base de compuertas NOR

El funcionamiento de este flip-flop SR es el siguiente: primero supongamos que S y R valen 0 y que Q es 0. Las entradas a la compuerta NOR superior son $Q=0$ y $S=0$. Entonces, la salida $\bar{Q}=1$ alimenta a la entrada de la compuerta NOR (inferior) y con $R=0$, produce salida $Q=0$. Por tanto, el estado del circuito permanece estable mientras $S=R=0$.



Unidad VI. Circuitos secuenciales



Como se había mencionado al inicio, este tipo de flip-flop puede funcionar como una memoria de 1 bit. A partir de la figura Circuito Flip-Flop S-R a base de compuertas NOR, podemos ver la salida Q como el “valor” del bit. Las entradas S y R sirven para escribir los valores 1 y 0, respectivamente, en la memoria. Para ver esto, consideramos el estado $Q = 0$, $\bar{Q} = 1$, $S = 0$, $R = 0$. Supongamos que S cambia al valor 1. Ahora las entradas a la compuerta NOR inferior son $S = 1$, $\bar{Q} = 0$.

Después de cierto tiempo de retardo (μ), la salida de la puerta NOR inferior será $\bar{Q} = 0$.

Así que, en este momento, las entradas a la compuerta NOR superior pasan a ser $R = 0$, $\bar{Q} = 0$. Después de otro retardo de puerta de (μ), la salida Q pasa a 1. Este de nuevo es un estado estable. Las entradas de la parte inferior son ahora $S = 1$, $Q = 1$, que mantienen la salida $Q = 0$. Mientras $S = 1$ y $R = 0$, las salidas seguirán siendo $Q = 1$, $\bar{Q} = 0$. Además, si S vuelve a 0, las salidas permanecerán sin cambiar. Resumiendo, cuando la entrada S toma el valor de 1 a dicha acción se le conoce como “*PRESET*” y por lo tanto coloca la salida Q en 1.

La entrada R realiza la función contraria a la entrada S, es decir, cuando R tiene el valor de 1, coloca las salidas con los valores de $Q = 0$, $\bar{Q} = 1$, sin importar el estado previo de Q y \bar{Q} . A esta operación se le conoce como “*RESET o CLEAR*”, debido a que coloca la salida Q en 0. De nuevo, hay un tiempo de retardo de (2μ) antes de que se restablezca la estabilidad.

El flip-flop SR se puede definir a partir de una tabla parecida a una tabla de verdad llamada *tabla característica*, que muestra el siguiente estado o estados de un circuito secuencial en función de los estados y entradas actuales. En el caso del flip-flop SR el estado se puede definir por el valor de Q. La figura *Circuito Flip-Flop S-R a base de compuertas NOR*, muestra la tabla característica resultante. A partir

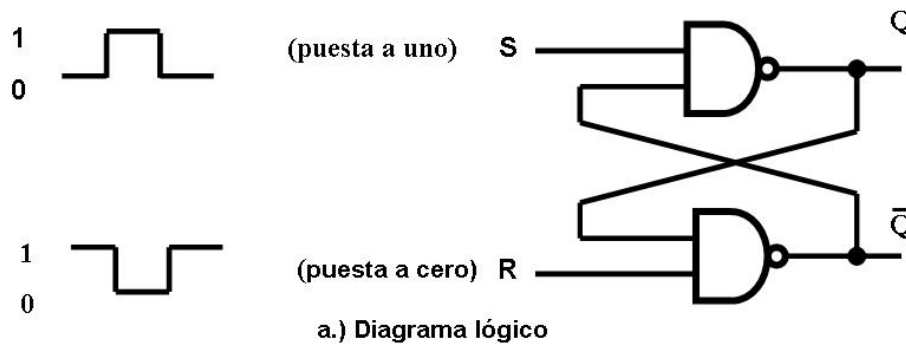


Unidad VI. Circuitos secuenciales



de dicha tabla, se observa que las entradas $S=1, R=1$ no están permitidas, ya que producirán una salida inconsistente (\bar{Q} y Q iguales a 0).

Existen diferentes formas de construir un flip-flop RS, utilizando compuertas básicas interconectadas, entre las cuales se encuentra el flip-flop RS construido a partir de dos compuertas NAND interconectadas como se muestra en la figura *Flip-Flop SR a base de compuertas NAND*.



S	R	Q	\bar{Q}	
1	0	0	1	
1	1	0	1	(Después de $S = 1, R = 0$)
0	1	1	0	
1	1	1	0	(Después de $S = 0, R = 1$)
0	0	1	1	

b.) Tabla de Verdad

Figura Flip-Flop SR a base de compuertas NAND

En la figura *Flip-Flop SR a base de compuertas NAND*, se presenta el flip-flop SR a base de compuertas NAND y el cual tiene dos entradas S (Set, puesto a uno) y R (Reset, puesta a cero), dos salidas Q y \bar{Q} una tabla de verdad.



Unidad VI. Circuitos secuenciales



Como se mencionó anteriormente, el flip-flop SR puede implementarse utilizando dos compuertas NAND interconectadas, caso en el que el estado de reposo es el que corresponde a $S=R=1$. Utilizando el teorema de de Morgan, se puede convertir las compuertas NOR de un flip-flop SR en compuertas AND, según se ve en la figura *Implementación de Flip-Flop SR a partir de diversas compuertas básicas*. Operando con inversores, se reemplazan las compuertas AND por compuertas NAND, luego se invierten los sentidos activos de S y R para eliminar los inversores de entrada restantes.

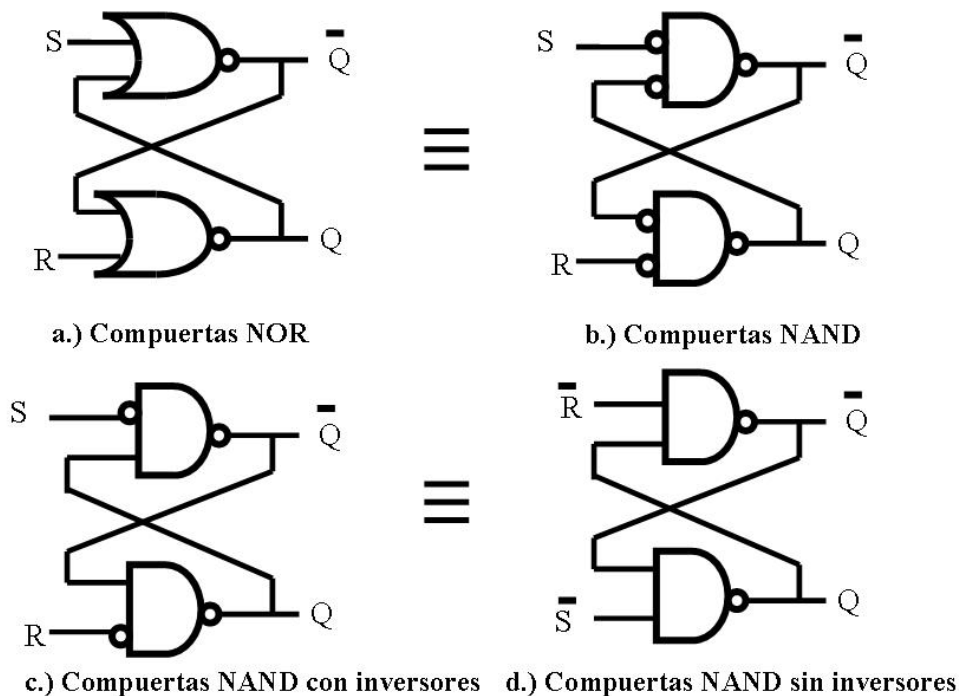


Figura Flip-flop SR

Implementación de Flip-Flop SR a partir de diversas compuertas básicas

Existen otros tipos de flip-flops (RS, JK, T y D) a los cuales se les conoce como *flip-flop temporizados* y los cuales son muy utilizados en el diseño e implementación de circuitos secuenciales, veámoslos:

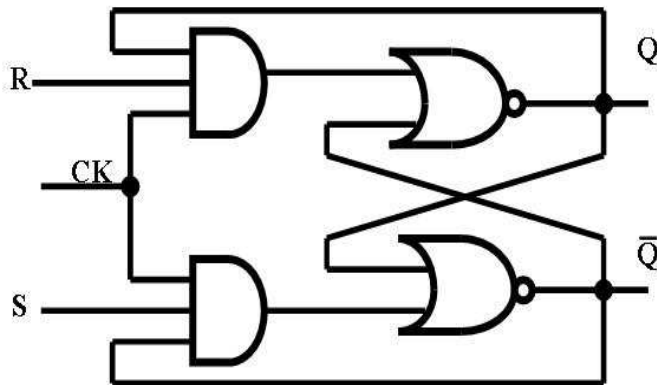


Unidad VI. Circuitos secuenciales

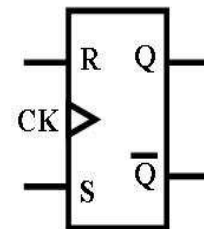


Flip-flop RS síncrono

Este flip-flop funciona mediante la sincronización con un pulso de reloj, y de esta manera los cambios ocurren sólo con el pulso de reloj. La figura *Flip Flop RS Temporizado*, muestra la configuración de este flip-flop, al cual se denomina flip-flop *RS síncrono*. Nótese que las entradas R y S se aplican a las entradas de las puertas AND sólo durante el pulso de reloj. En dicha figura se muestra su símbolo lógico, tabla característica, tabla de excitación y ecuación característica, las cuales son muy empleadas en el diseño e implementación de circuitos secuenciales, como lo mostraremos más adelante.



a.) Diagrama Lógico



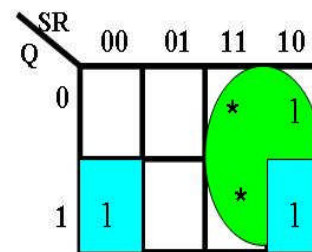
b.) Símbolo Lógico

Q	S	R	Q _{t+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	Indefinido
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	Indefinido

c.) Tabla Característica

Q _t	Q _{t+1}	J	K
0	0	0	*
0	1	1	*
1	0	*	1
1	1	*	0

d.) Tabla de excitación



$$Q_{t+1} = S + \bar{R}Q$$

e.) Ecuación Característica

Flip Flop RS Temporizado

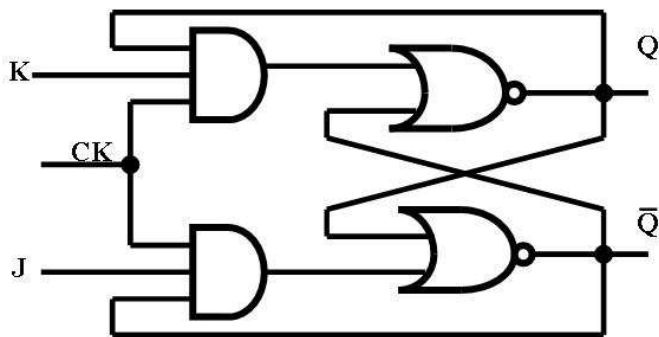


Unidad VI. Circuitos secuenciales

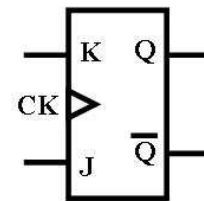


- Flip-flop JK Temporizado

El flip-flop *JK temporizado* es otro de los flip-flops más utilizados en el diseño de circuitos digitales. El flip-flop JK temporizado se propone como una mejora al flip-flop RS temporizado ya que este flip-flop presenta dos estados indefinidos. El flip-flop JK se comporta en forma similar al flip-flop RS, excepto porque cuando las dos entradas valen simultáneamente 1, el circuito conmuta el estado anterior de su salida. La figura *Flip-Flop JK Temporizado* muestra una implementación a base de compuertas del flip flop JK, además de mostrar su símbolo lógico, tabla característica, tabla de excitación y ecuación característica, las cuales son muy empleadas en el diseño e implementación de circuitos secuenciales.



a.) Diagrama Lógico



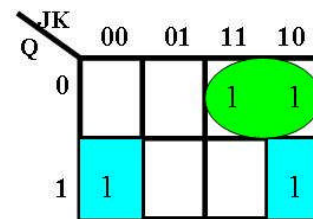
b.) Símbolo Lógico

Q	J	K	Q _{t+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

c.) Tabla Característica

Q _t	Q _{t+1}	J	K
0	0	0	*
0	1	1	*
1	0	*	1
1	1	*	0

d.) Tabla de excitación



$$Q_{t+1} = \bar{J}Q + \bar{K}Q$$

e.) Ecuación Característica

Flip-Flop JK Temporizado



Unidad VI. Circuitos secuenciales



Las entradas JK solo realizan la función de puesta a 1, causando que la salida sea 1; la entrada K solo realiza la función de puesta a cero, provocando que la salida sea 0. Cuando J y K son 1, la función realizada se denomina función de conmutación: la salida se invierte.

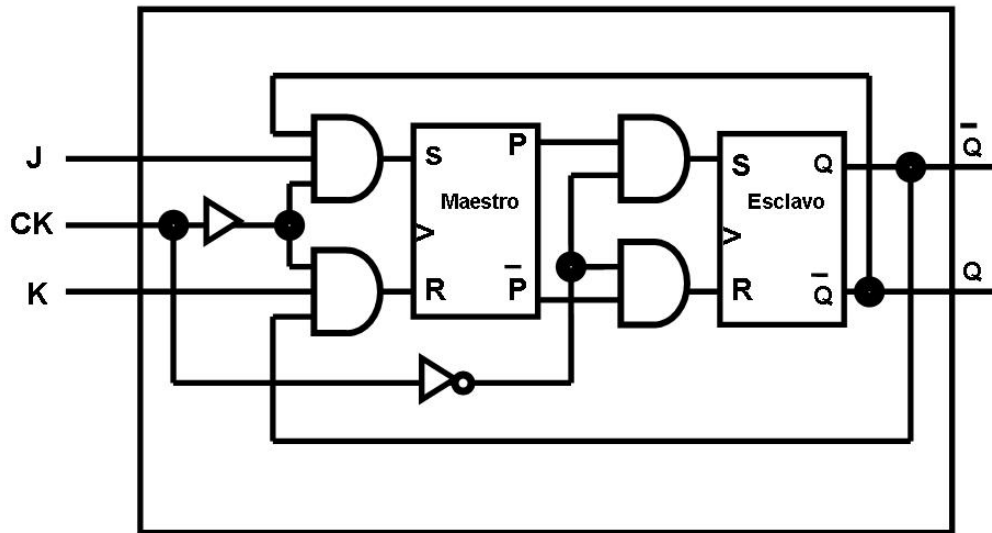
Otra vez, puede surgir algún inconveniente cuando en un flip-flop JK se tienen las dos entradas J y K en 1 y se lleva la señal de reloj a su estado activo. En esta situación el estado puede cambiar de estado más de una vez mientras el reloj está en su estado alto. Esta es otra situación en que se hace apropiado el uso de un flip-flop JK de estructura maestro-esclavo.

El esquema de un flip-flop JK maestro-esclavo se ilustra en la figura *Flip-Flop Maestro-Esclavo JK*. El problema de la “oscilación infinita” se resuelve con esta configuración, aun cuando la misma crea otro inconveniente. Si se mantiene una entrada en nivel alto, el flip-flop puede llegar a ver el 1 como si fuera una entrada válida, durante un tiempo dado mientras la señal de reloj se encuentra activa, aunque fuese porque se encuentre en una transición previa a establecerse. La situación se resuelve si se eliminan los riesgos en los circuitos que controlan las entradas.

Se puede resolver el problema de la “captura de unos” por medio de la construcción de flip-flops activados por flanco, en los que el estado de la entrada se analiza solo en las transiciones del reloj (de alto a bajo) si el circuito se activa por flanco negativo o de bajo a alto, se trata de un flip-flop activado por flanco positivo, instantes en los cuales las entradas deberían estar estables.



Unidad VI. Circuitos secuenciales



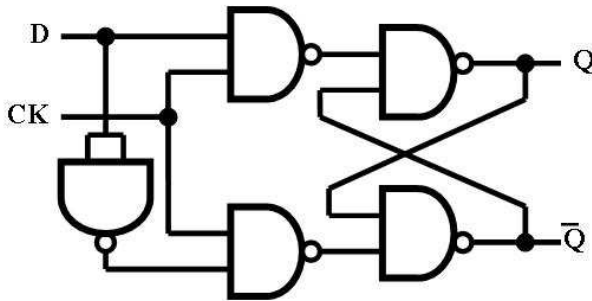
Flip-Flop Maestro-Esclavo JK

- Flip-flop tipo D

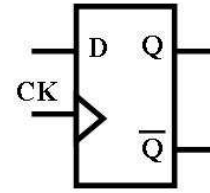
El problema con los flip-flop RS es que la condición $R=1, S=1$ debe ser evitada. Una manera de hacerlo es permitir solo una única entrada. El flip-flop tipo D lo cumple. La figura *Flip-Flop D Temporizado*, muestra una implementación con compuertas NAND, la tabla característica, tabla de excitación y ecuación característica del flip-flop tipo D.



Unidad VI. Circuitos secuenciales



a.) Diagrama Lógico



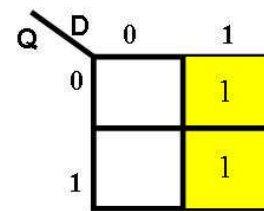
b.) Símbolo Lógico

Q	D	Q_{t+1}
0	0	0
0	1	1
1	0	0
1	1	1

c.) Tabla Característica

Q_t	Q_{t+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

d.) Tabla de excitación



e.) Ecuación Característica

$$Q_{t+1} = D$$

Flip-Flop D Temporizado

El flip-flop tipo D a veces se denomina “flip-flop de datos”, porque en efecto, almacena un bit de datos. La salida del flip-flop tipo D es siempre igual al valor más reciente aplicado a la entrada, por tanto, recuerda y produce la última entrada. También se le llama biestable de retardo, porque retrasa un cero o un uno aplicado a la entrada durante un pulso de reloj.

Un flip-flop tipo D se usa en situaciones en las que exista realimentación desde la salida hacia la entrada a través de otros circuitos, esta realimentación puede provocar que el flip-flop cambie una sola vez por ciclo de reloj, se suele cortar el lazo de realimentación a través de la estructura conocida como maestro-esclavo que se muestra en la figura *Flip-Flop Maestro-Esclavo D*. El flip-flop maestro-esclavo consiste en dos flip flops encadenados, donde el segundo utiliza una señal de sincronismo que está negada con respecto a la que se utiliza en el primero de ellos. El flip-flop maestro cambia cuando la entrada principal de reloj está en su

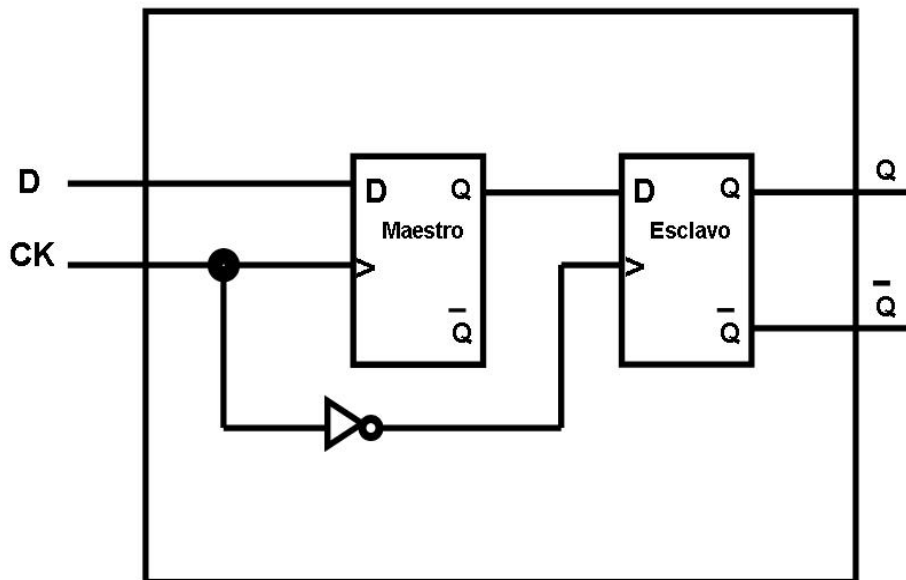


Unidad VI. Circuitos secuenciales



estado alto, pero el esclavo no puede cambiar hasta que su entrada no vuelva a bajar. Esto significa que la entrada D se transfiere a la salida Q_s del flip-flop esclavo recién cuando la señal de reloj sube y vuelve a bajar. El triángulo utilizado en el símbolo del flip-flop maestro-esclavo indica que las transiciones de la salida ocurren solo en un flanco creciente (transición 0-1) o decreciente (transición 1-0) de la señal de reloj. No se producen transiciones continuas en la salida cuando la señal de reloj se encuentra en su nivel alto, como ocurre con el circuito síncrono simple. Para la configuración de la figura Flio-Flop Maestro-esclavo D, la transición de la salida se produce en el flanco negativo de la señal de sincronismo.

Un flip-flop activado por nivel puede cambiar sus estados en forma continua cuando la señal de reloj está en su estado activo (alto o bajo, según como se haya diseñado el flip-flop). Un flip-flop activado por flanco solo cambia en una transición creciente o decreciente de la señal de reloj.



Flio-Flop Maestro-esclavo D

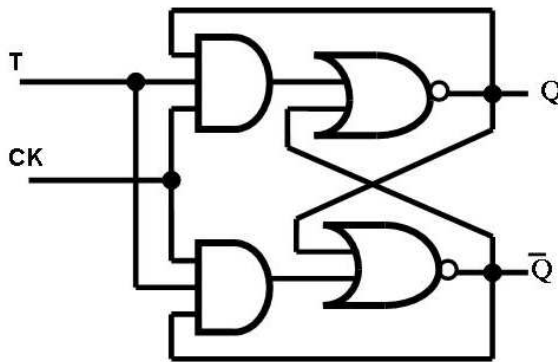


Unidad VI. Circuitos secuenciales

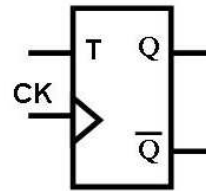


- Flip-flop T

El flip-flop T (por “toggle”) alterna sus estados, como ocurre en el flip-flop JK, cuando sus entradas están ambas en 1. Este flip-flop se comporta en forma similar al flip-flop SR, excepto porque cuando las dos entradas valen simultáneamente 1, el circuito conmuta el estado anterior de su salida, (ver figura *Flip-Flop T Temporizado*). En dicha figura se muestra su símbolo lógico, tabla característica, tabla de excitación y ecuación característica.



a.) Diagrama Lógico



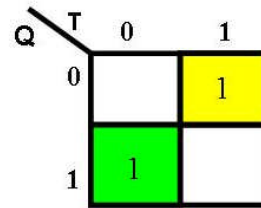
b.) Símbolo Lógico

Q	T	Q _{t+1}
0	0	0
0	1	1
1	0	1
1	1	0

c.) Tabla Característica

Q _t	Q _{t+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

d.) Tabla de excitación



$$Q_{t+1} = T\bar{Q} + \bar{T}Q$$

e.) Ecuación Característica



Unidad VI. Circuitos secuenciales

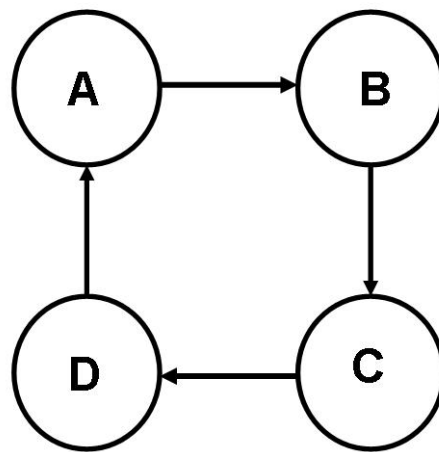


ANEXO 4

Ejemplo 1

Solución

1. Se desea diseñar un circuito secuencial síncrono utilizando flip-flops del tipo JK a partir del siguiente diagrama de estados, (ver figura Ejemplo 1. Diagrama de Estados)



Ejemplo 1. Diagrama de Estados

2. Obtención tabla de estado

Estado Presente	Estado Futuro
A	B
B	C
C	D
D	A

Tabla de estado

3. Reducción de estados

No se aplica la reducción de estados.



Unidad VI. Circuitos secuenciales



4. Asignación de estados

Estado	Valor
A	00
B	01
C	10
D	11

Utilizando esta asignación de estados, la tabla de estado queda de la siguiente manera:

Estado Presente	Estado Futuro
00	01
01	10
10	11
11	00

Tabla de estados

5. Se determina el número de Flip-flops por utilizar

A partir de la ecuación:

$$N = 2^n$$

donde

N Número de estado

n Número de flip-flop a utilizar

en nuestro caso $N = 4$ estados, hay que determinar el valor de n .



Unidad VI. Circuitos secuenciales



Despejando n obtenemos

$$n = \frac{\lg(N)}{\lg(2)} = \frac{\lg(4)}{\lg(2)} = \frac{0.602059991}{0.30102999566} = 2$$

Por lo tanto se requieren de 2 flip-flops para representar los cuatro estados, los A, B, C y D.

6. Elección del flip-flop por utilizar

En este ejemplo se seleccionó (a partir del enunciado del problema) el flip-flop JK.

7. Obtención de la ecuación de excitación

A partir de las tablas de estado se deduce la excitación del circuito y la tabla de salida.

Estado Presente		Estado Futuro	
Q_0	Q_1	Q_0	Q_1
1	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

8. Obtención de las funciones de salida

Usando cualquier método de simplificación (por ejemplo, mapas de Karnaugh o álgebra de Boole) se deducen las funciones de salida del circuito de los n flip-flops.

Utilizando la tabla característica del flip-flop JK se obtiene las funciones de salida del circuito y las funciones de entrada de los 2 flip-flops de la siguiente manera:



Unidad VI. Circuitos secuenciales



Q_t	Q_{t+1}	J	K
0	0	0	*
0	1	1	*
1	0	*	1
1	1	*	0

Tabla de Excitación

Estado Presente		Estado Futuro	
Q_0	Q_1	Q_0	Q_1
0	0	0	1
0	1	1	0
1	0	1	1
1	1	0	0

Q_0	Q_1	0	1
0	0	0	1
1	0	*	*

$$J_0 = Q_1$$

Q_0	Q_1	0	1
0	0	*	*
1	0	0	1

$$K_0 = Q_1$$

Q_0	Q_1	0	1
0	0	1	*
1	0	1	*

$$J_1 = 1$$

Q_0	Q_1	0	1
0	0	*	1
1	0	*	1

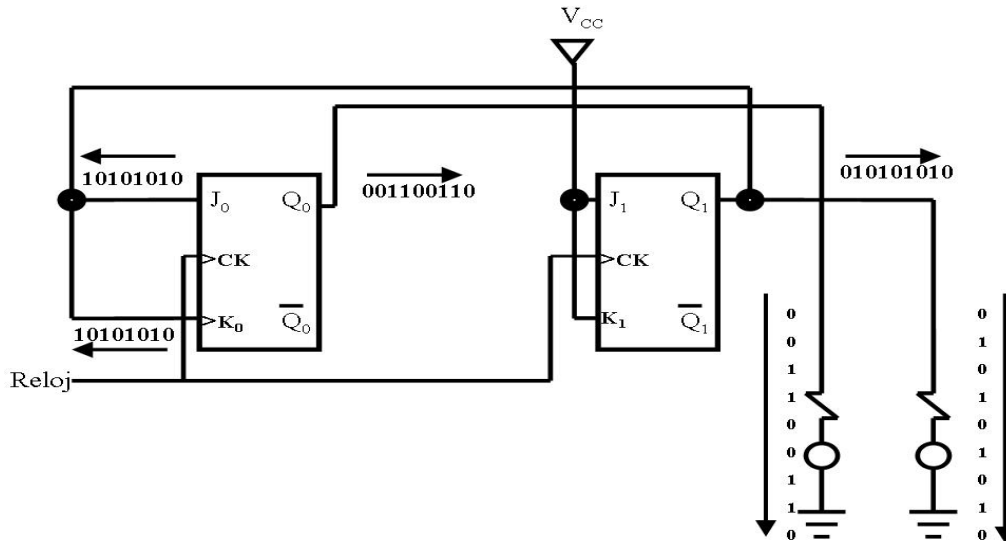
$$K_1 = 1$$



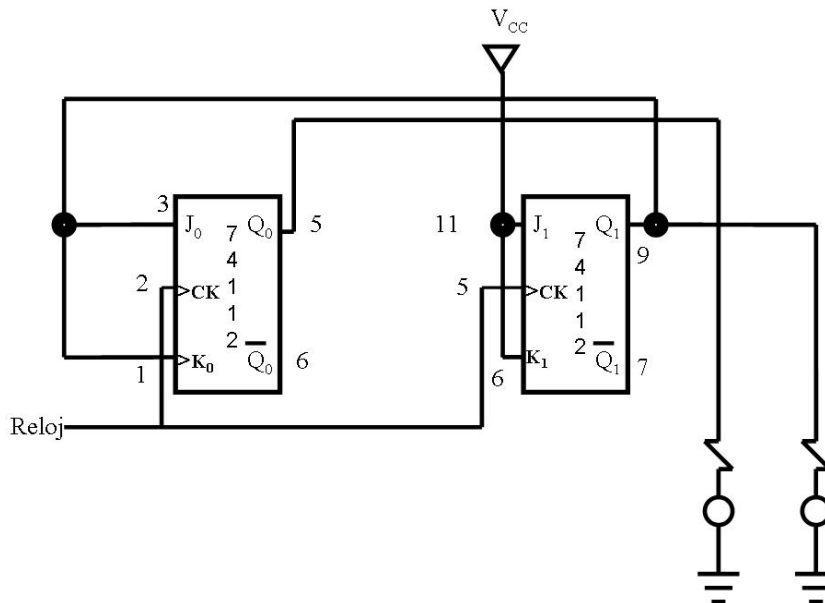
Unidad VI. Circuitos secuenciales



- 9) Dibujar el diagrama lógico
Comprobar el circuito secuencial



- 10) Dibujar el diagrama eléctrico
Se alambra el diagrama eléctrico





Unidad VI. Circuitos secuenciales



Ejemplo 2 Circuito Secuencial

Solución

1. Enunciado del problema

Se desea diseñar un circuito secuencial temporizado cuyo diagrama de estados se muestra en la figura 6.10 y utilizando flip-flop's JK.

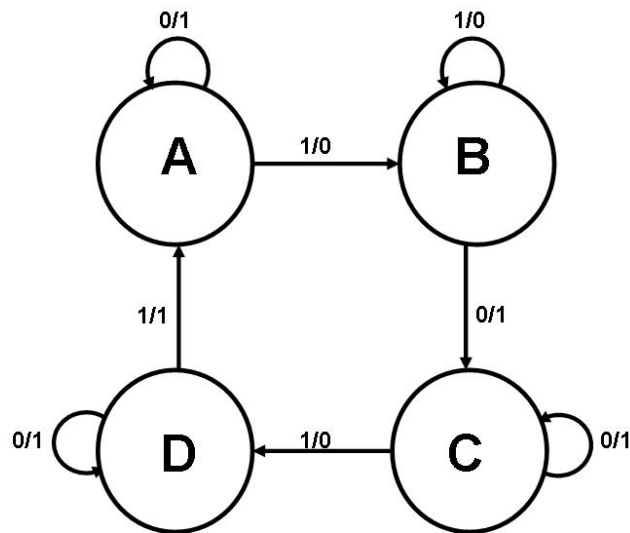


Figura 6.10. Ejemplo 2. Diagrama de Estados

Nota

La notación x/y significa que x es la variable de entrada y z es la salida.

2. Obtención de la tabla de estado

Estado Presente	Estado Futuro		Salida	
	X = 0	X = 1	X = 0	X = 1
A	A	B	1	0
B	C	B	1	0
C	C	D	1	0
D	D	A	1	1

3. Reduccion de estados



Unidad VI. Circuitos secuenciales



No se aplica la reducción de estados.

4. Asignación de estados

A	0	0
B	0	1
C	1	0
D	1	1

5. Número de Flip-flops

A partir de la ecuación:

$$N = 2^n$$

Donde

N Número de estado
n Número de flip-flop a utilizar

en nuestro caso $N = 4$ estados, hay que determinar el valor de n .

Despejando n obtenemos:

$$n = \frac{\lg(N)}{\lg(2)} = \frac{\lg(4)}{\lg(2)} = \frac{0.602059991}{0.30102999566} = 2$$

Por lo tanto se requieren de 2 flip-flops para representar los cuatro estados (A, B, C y D).

6. Elección del flip-flop a utilizar

En este caso se seleccionó el flip-flop JK

7. Obtención de la ecuación de excitación

A partir de las tablas de estado se deduce la excitación del circuito y la tabla de salida.



Unidad VI. Circuitos secuenciales



Estado Presente		Estado Futuro				Salida	
		X = 0		X = 1			
Q ₀	Q ₁	Q ₀	Q ₁	Q ₀	Q ₁	X = 0	X = 1
1	0	0	0	0	1	1	0
0	1	1	0	0	1	1	0
1	0	1	0	1	1	1	0
1	1	1	1	0	0	1	1

8. Obtención de las funciones de salida

Usando cualquier método de simplificación (por ejemplo, mapas de Karnaugh o álgebra de Boole) se deducen las funciones de salida del circuito y las funciones de entrada de los n flip-flops.

Utilizando la tabla característica del flip-flop JK se obtiene las funciones de salida del circuito y las funciones de entrada de los 2 flip-flops de la siguiente manera:

Q _t	Q _{t+1}	J	K
0	0	0	*
0	1	1	*
1	0	*	1
1	1	*	0

Tabla de Excitación

Estado Presente		Estado Futuro				Salida	
		X = 0		X = 1			
Q ₀	Q ₁	Q ₀	Q ₁	Q ₀	Q ₁	X = 0	X = 1
0	0	0	0	0	1	1	0
0	1	1	0	0	1	1	0
1	0	1	0	1	1	1	0
1	1	1	1	0	0	1	1



Unidad VI. Circuitos secuenciales



		J_0			
		Q_1Q_0	00	01	11
X	0	*	1	*	*
	1	*	0	*	*

$$J_0 = \bar{X}$$

		K_0			
		Q_0Q_1	00	01	11
X	0	1	*	0	0
	1	1	*	1	0

$$K_0 = \bar{Q}_0 + XQ_1$$

		J_1			
		Q_1Q_0	00	01	11
X	0	0	*	*	0
	1	1	*	*	1

$$J_1 = X$$

		K_1			
		Q_0Q_1	00	01	11
X	0	*	1	0	*
	1	*	0	1	*

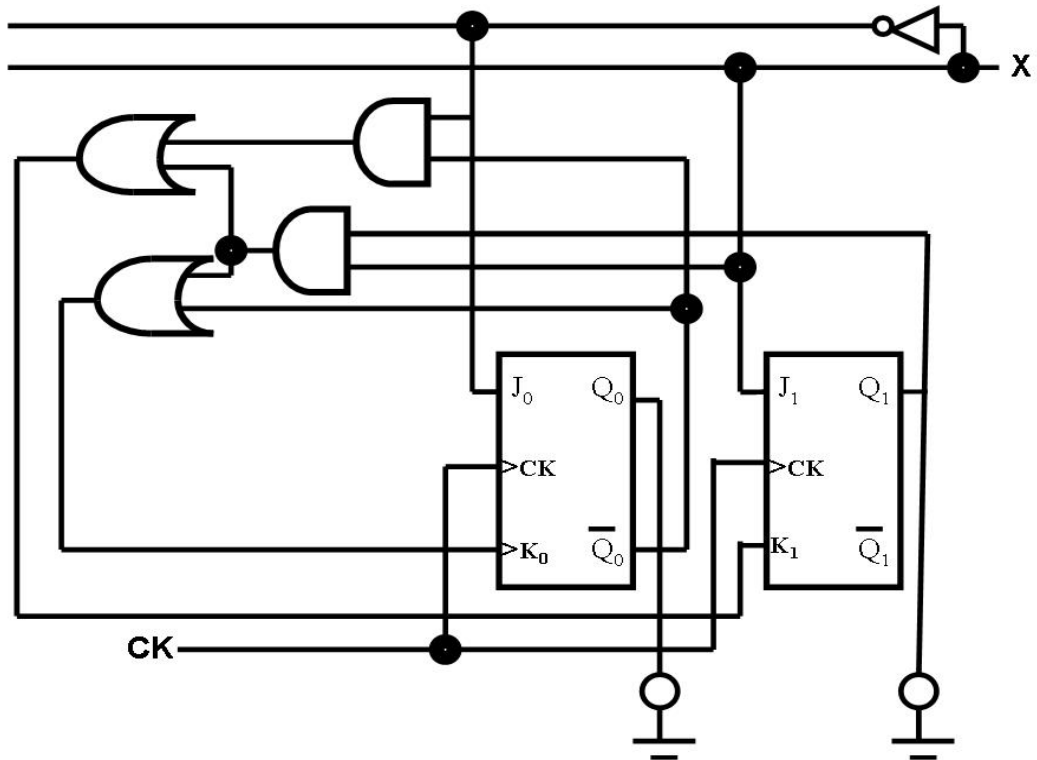
$$K_1 = \bar{X} \bar{Q}_0 + XQ_1$$



Unidad VI. Circuitos secuenciales



9. Dibujar el diagrama lógico





Unidad VI. Circuitos secuenciales



ANEXO 5

REGISTRO DE CORRIMIENTO

Un registro de corrimiento acepta y/o transfiere información vía serie. Un registro se puede construir utilizando alguno de los diferentes tipos de flip-flops, por ejemplo RS, JK, T y el D. En esta sección mostramos un registro de corrimiento (entrada serie-salida serie) de 4 bits utilizando flip-flop tipo D, (ver Figura *Registro de desplazamiento de 4 bits*). En la Figura *Registro de corrimiento (entrada serie-salida serie)* se muestra un diagrama de tiempos del mismo registro de corrimiento pero ahora introduciendo los datos: 0 1 0 1 0 0 0 0.

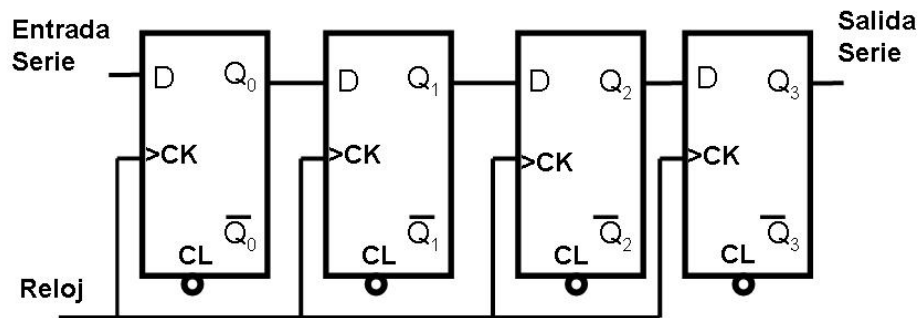
El funcionamiento de este registro es el siguiente: Primero ponemos a todos los flip-flops en condiciones iniciales, es decir, “0”, esto se realiza con la operación de limpiar (del inglés Reset), es decir, colocar todos los flip-flops en “0”. A continuación, colocamos el dato “0” en la entrada del primer flip-flop y durante el primer pulso de reloj y esperamos el *flanco de subida* (es decir, el instante de tiempo que pasa de un nivel bajo a un nivel alto) en ese momento reconoce el dato “0” y lo muestra a la salida del primer flip-flop (Q_0) y los demás “0”s se recorren una posición hacia la derecha. Enseguida, introducimos el dato “1” en la entrada del primer flip-flop y durante el segundo pulso de reloj esperamos el siguiente *flanco de subida*, el flip-flop 0 muestra el dato “1” en su salida, y los demás datos (“0”s) se recorren a la derecha una posición. En el tercer pulso de reloj, se introduce el dato “0” en la entrada del flip-flop 0, se espera el *flanco de subida* y este dato se presenta a la salida del flip-flop 0, el dato “1” que se tenía anteriormente, se recorre una posición a la derecha y se presenta en la salida del flip-flop 1 (Q_1) y los demás datos se recorren una posición hacia la derecha. En el cuarto pulso de reloj, se introduce el dato “0” en la entrada del flip-flop 0, durante el *flanco de subida*, este dato se presenta a la salida del flip-flop 0, el “1” que se



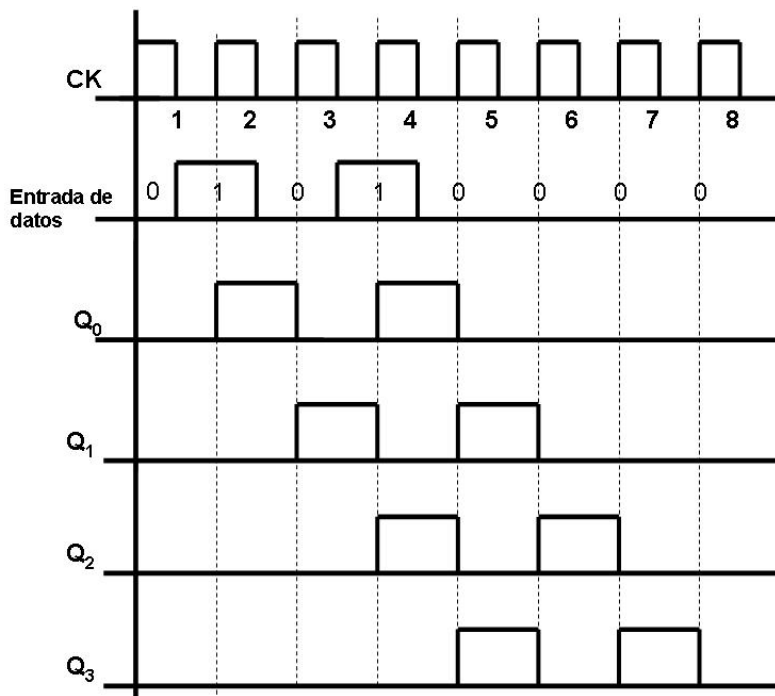
Unidad VI. Circuitos secuenciales



tenía a la salida de este flip-flop se recorre a la derecha y se presenta en la salida del flip-flop 1 y el "0" que se tenía en esta salida se recorre una posición hacia la derecha y los demás datos se recorren una posición a la derecha, y así sucesivamente hasta introducir todos los datos en el registro de corrimiento.



Registro de desplazamiento de 4 bits.



Registro de corrimiento (entrada serie-salida serie)

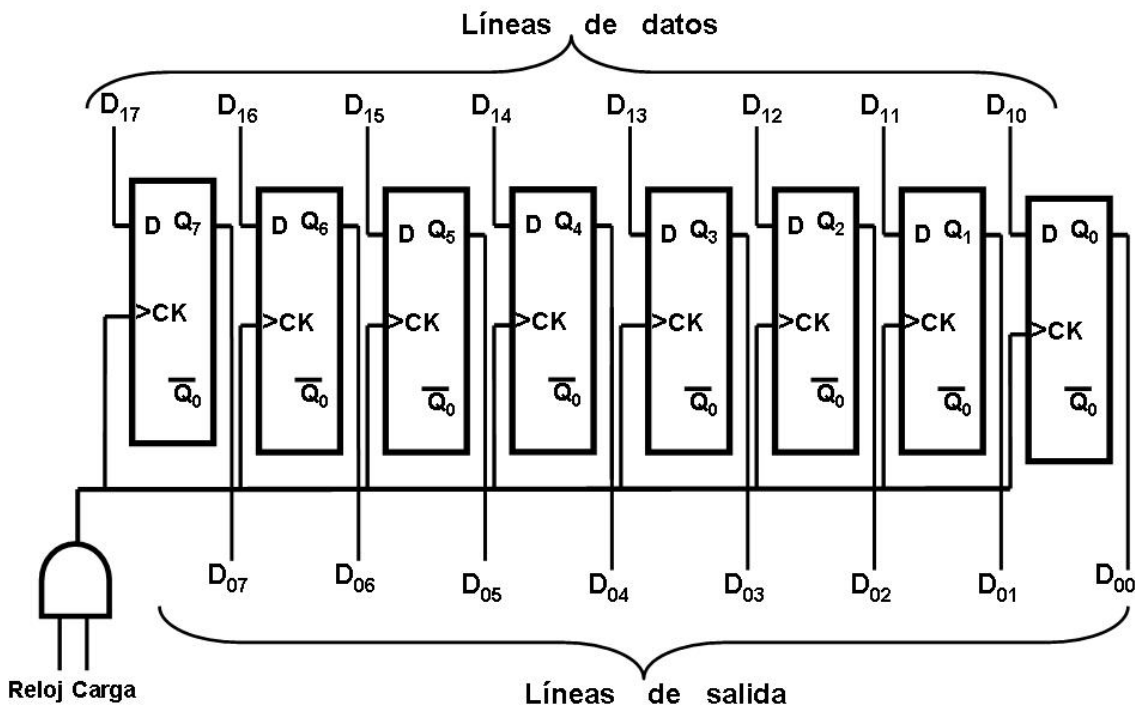


Unidad VI. Circuitos secuenciales



Registro en paralelo

Un registro paralelo consiste en un conjunto de flip-flops en los cuales se puede leer o escribir simultáneamente. Un registro paralelo de 8 bits se muestra en la figura *Registro en paralelo de 8 bits*. El funcionamiento de este registro consiste en que una señal de control, llamada *validación de dato de entrada*, controla la escritura en los registros de los valores provenientes de las líneas de señales, de la D_{10} a la D_{17} .



Registro en paralelo de 8 bits.



Unidad VI. Circuitos secuenciales



Registro universal

Un registro universal es una combinación del registro de corrimiento y el registro en paralelo para leer o escribir simultáneamente, introducir datos en serie por la derecha, sacar los datos en serie por la izquierda, cargar los datos en paralelo, sacar los datos en paralelo, cargar los datos en paralelos, sacar los datos en serie por la derecha o por la izquierda. Un registro universal está formado por un conjunto de flip-flops y contiene una serie de señales de control que permiten realizar todas las operaciones mencionadas anteriormente.