



Introducción a la unidad

Los circuitos combinatorios o circuitos combinacionales transforman un conjunto de entradas en un conjunto de salidas de acuerdo con una o más funciones lógicas. Las salidas de un circuito combinacional son rigurosamente función de las entradas y se actualizan después de cualquier cambio en las entradas. La figura Diagrama en bloques de una unidad lógica combinacional, ilustra un modelo de unidad lógica combinacional.

Esta unidad combinacional recibe un conjunto de entradas i_0, \dots, i_n y produce un conjunto de salidas f_0, \dots, f_m , las que dependerán de las funciones lógicas correspondientes. En este tipo de circuito combinacional no existe retroalimentación de las salidas sobre las entradas como en el caso de los circuitos secuenciales (ver Unidad 6).



Diagrama en bloques de una unidad lógica combinacional

Un circuito combinacional recibe entradas y genera salidas en las cuales es habitual considerar como valor bajo el “0” lógico ó 0 Volts, en tanto que se adopta como valor alto el “1” lógico ó 5 Volts. Esta convención no es de uso universal. En



Unidad V. Circuitos Combinatorios



los circuitos de alta velocidad se tiende a usar menores valores de tensión. Algunos circuitos de computadora funcionan en el dominio analógico, en el que se admite una variación continua de las señales, y en el caso de los circuitos digitales ópticos se puede utilizar variaciones de fase o polarizaciones, por lo que no es necesario plantear los conceptos de alto y bajo en este momento.

Objetivo particular de la unidad

1. Reconocer el funcionamiento y la construcción de sumadores, decodificadores y multiplexores a partir de compuertas básicas.
2. Diseñar circuitos combinacionales a partir de su expresión verbal, es decir desde el planteamiento del problema, mediante compuertas digitales, sumadores, decodificadores y multiplexores. Así mismo podrá deducir la expresión algebraica a partir de un circuito digital.



Unidad V. Circuitos Combinatorios



LO QUE SÉ

Completa el siguiente cuadro, con respecto a cada uno de los conceptos que se te indican.

<i>Concepto</i>	<i>Lo que sé</i>	<i>Lo que quiero aprender</i>
Circuito combinacional		
Sumador		
Comparador		
Funciones booleanas		
Decodificador		
Multiplexor		
Escala de integración		

Descarga el siguiente cuadro para completarlo, una vez que lo tengas listo presione el botón **Examinar**. Localice el archivo, ya seleccionado, presione **Subir este archivo** para guardarlo en la plataforma.

Temas de la unidad V

- 1 Multiplexores
- 2 Demultiplexores
- 3 Codificadores
- 4 Decodificadores
- 5 Sumador medio (Medio sumador)
- 6 Sumador completo



Unidad V. Circuitos Combinatorios



Resumen de la unidad

Las principales características en la construcción de circuitos electrónicos son: funciones que realizan, tecnología utilizada y escala o cantidad de transistores integrados en una pastilla. En cuanto a la función que realizan tenemos:

Compuertas básicas: AND, OR, NOT, NAND, NOR Y EXOR.

Funciones	Operaciones Booleanas básicas, decodificadores, multiplexores, sumadores.
Integración de circuitos	Pequeña escala de integración (SSI). Alrededor de 12 compuertas. Mediana escala de integración (MSI). Entre 12 y 100 compuertas. Gran escala de integración (LSI). De 100 a 1000 compuertas. Muy grande escala de integración. (VLSI). Más de 1000 compuertas.

Los circuitos SSI se utilizan para la construcción de compuertas básicas encapsuladas. Los circuitos MSI son empleados en sumadores, multiplexores y decodificadores. Los circuitos LSI son los que pueden almacenar grandes cantidades de información o bien realizar procesos completos, son utilizados para construir memorias y arreglos lógicos programables y los primeros procesadores en los años 70's. Los circuitos VLSI son utilizados actualmente para la construcción de microprocesadores.

En esta unidad se utilizan los conceptos desarrollados en unidades anteriores para el diseño de circuitos básicos utilizados en la construcción de computadoras tales como sumadores, comparadores y convertidores de código. Estos circuitos junto con los que se desarrollarán la unidad de lógica secuencial permitirán



Unidad V. Circuitos Combinatorios



comprender el funcionamiento de un microprocesador al integrar los conceptos de registros y contadores. La parte operativa, que realiza las funciones algebraicas y lógicas en una computadora se llama Unidad Aritmética Lógica y esta construida por los elementos que hemos revisado.

La construcción de estos bloques funcionales se realiza mediante una metodología adecuada que nos permite llegar desde el enunciado del problema especificando sus requerimientos hasta la construcción del circuito.



Unidad V. Circuitos Combinatorios



Tema 1. Multiplexores

Objetivo del tema

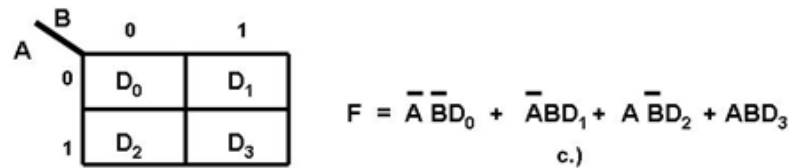
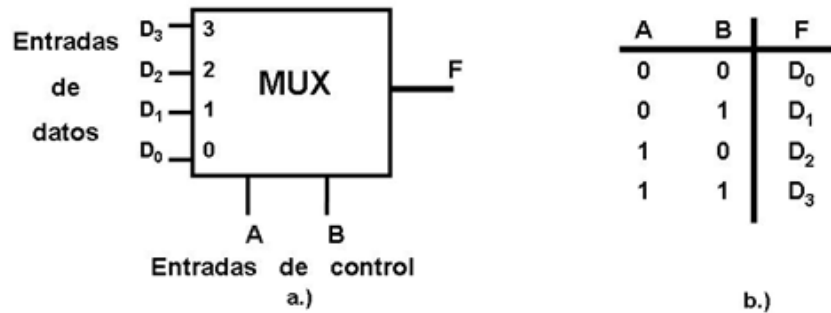
Reconocer la estructura y funcionamiento de los multiplexores, así como podrá utilizar de manera óptima estos circuitos integrados en la construcción y diseño de funciones booleanas.

Desarrollo

Un circuito multiplexor (MUX) es un elemento que conecta una cantidad dada de entradas a una única salida. La figura **Multiplexor 4 entradas 1 salida** muestra el diagrama en bloques y la tabla de verdad de un multiplexor de 4 entradas y 1 salida. La salida F adopta el valor correspondiente a la entrada de datos seleccionada por las líneas de control A y B . Por ejemplo, si $A = 0$ y $B = 1$, el valor que aparece en la salida es el que corresponde a la entrada D_1 , ver **figura Multiplexor 4 entradas 1 salida. b.) Tabla de Verdad**. En la **figura Multiplexor 4 entradas 1 salida. c.) Función lógica se** muestra la obtención de la función lógica del multiplexor a partir de su tabla de verdad y en la **figura Multiplexor 4 entradas 1 salida. d.) Diagrama lógico** se presenta el diagrama lógico del multiplexor.

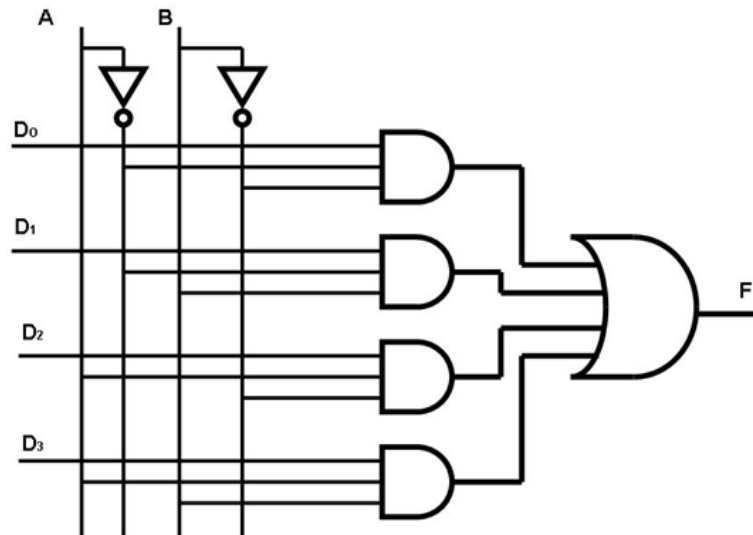


Unidad V. Circuitos Combinatorios



Multiplexor de 4 entradas y 1 salida.

a.) Diagrama a bloques, b.) Tabla de Verdad y c.) Función lógica



Multiplexor de 4 entradas y 1 salida

d.) Diagrama lógico

Una aplicación de los multiplexores es la implementación de funciones lógicas como se muestra en la **figura Implementación de una función utilizando un multiplexor de 8 entradas**. En dicha figura se desea implementar una función lógica usando un multiplexor de 8 entradas y 1 salida. Las entradas de datos se

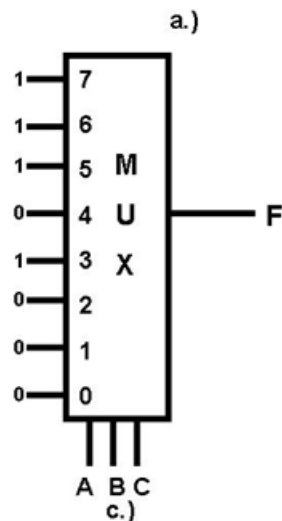


Unidad V. Circuitos Combinatorios



toman directamente de la tabla de verdad de la función a implementar y se asignan las variables A, B y C como entradas de control. El multiplexor transfiere a la salida los unos correspondientes a cada término mínimo de la función. Las entradas cuyos valores son 0 corresponden a los elementos del multiplexor que no se requieren para la implementación de la función, y como resultado hay compuertas lógicas que no se utilizan. Si bien en la implementación de funciones booleanas siempre hay porciones del multiplexor que no se utilizan, el uso de multiplexores es amplio debido a que su generalidad simplifica el proceso de diseño y su modularidad simplifica la implementación.

$$F = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$



b.)

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Implementación de una función utilizando un multiplexor de 8 entradas. a.) Función a implementar, b.) Tabla de verdad y c.) Diagrama Lógico.

Otro ejemplo del uso de los multiplexores en la implementación de funciones lógicas es similar al que se muestra en la **figura Implementación de una función utilizando un multiplexor de 4 entradas de datos**. La **figura Implementación de una función utilizando un multiplexor de 4 entradas de datos b) Tabla de verdad** ilustra la tabla de verdad de tres variables de la función lógica a implementar (ver, **figura Implementación de una función utilizando un**



Unidad V. Circuitos Combinatorios



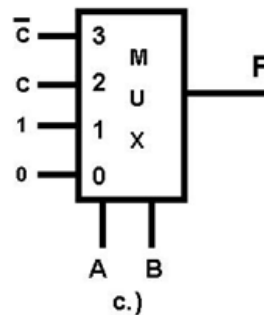
multiplexor de 4 entradas de datos a) Función a implementar) y el multiplexor de 4 entradas utilizado en la implementación de la función lógica. Las entradas de datos se toman del conjunto {0, 1, C, \bar{C} } y la agrupación se obtiene de acuerdo con lo que se muestra en la tabla de verdad. Cuando $A = 0, B = 0$, la función $F = 0$ independientemente del valor de C , y por lo tanto, la entrada de datos 00 del multiplexor tendrá un valor fijo de 0, Cuando $A = 0, B = 1$, $F = 1$, independientemente del valor de la variable C , por lo que la entrada de datos 01 adopta un valor de 1. Cuando $A = 1, B = 0$, la función $F = C$ dado que su valor es 0 cuando C es 0 y es 1 cuando C es 1. Finalmente, cuando $A = 1, B = 1$, la función $F = \bar{C}$, por lo tanto, la entrada de datos 11 adopta el valor de \bar{C} . De esta manera, se puede implementar una función de tres variables usando un multiplexor con cuatro entradas de datos y dos entradas de control.

$$F = A B \bar{C} + A \bar{B} C + \bar{A} B C + \bar{A} B \bar{C}$$

a.)

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	0

b.)



Implementación de una función utilizando un multiplexor de 4 entradas de datos. a.) Función a implementar, b.) Tabla de verdad y c.) Diagrama Lógico.



Unidad V. Circuitos Combinatorios



ACTIVIDAD 1

Realiza la lectura de la presentación de **Circuitos lógicos combinacionales**. A partir de la información presentada, diseña un circuito lógico con un multiplexor de 8X1 que detecte múltiplos de 3 para palabras de 4 bits en código BCD.

Realiza tu actividad en un procesador de textos, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.

Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción



Unidad V. Circuitos Combinatorios



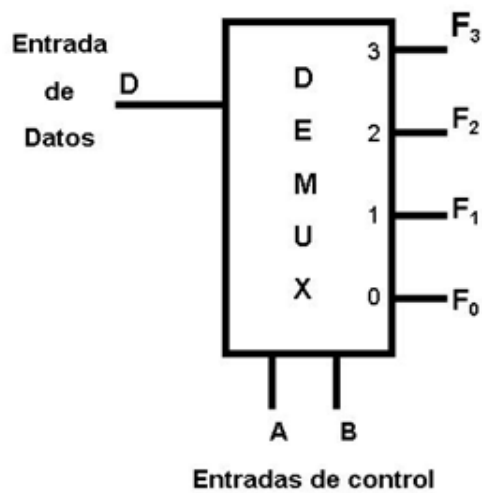
Tema 2. Demultiplexores

Objetivos del tema

Reconocer el funcionamiento y estructura de los demultiplexores así como su empleo en el diseño de funciones y como selector.

Desarrollo

Un demultiplexor (DEMUX) es un circuito que cumple la función inversa a la de un multiplexor. La **figura Demultiplexor de 2x4** ilustra el diagrama en bloques correspondientes a un demultiplexor de cuatro salidas, cuyas entradas de control son A y B , su correspondiente tabla de verdad, su función lógica y su diagrama lógico. Un demultiplexor envía su única entrada de datos D a una de sus F_i salidas de acuerdo con los valores que adopten sus entradas de control. La **figura Demultiplexor de 2x4** muestra el circuito de un demultiplexor de cuatro salidas.



a.)

D	A	B	F_0	F_1	F_2	F_3
0	0	0	0	0	0	0
0	0	1	0	0	0	0
0	1	0	0	0	0	0
0	1	1	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

b.)

$$F_0 = D \bar{A} \bar{B} \quad F_1 = D \bar{A} B \quad F_2 = D A \bar{B} \quad F_3 = D A B$$

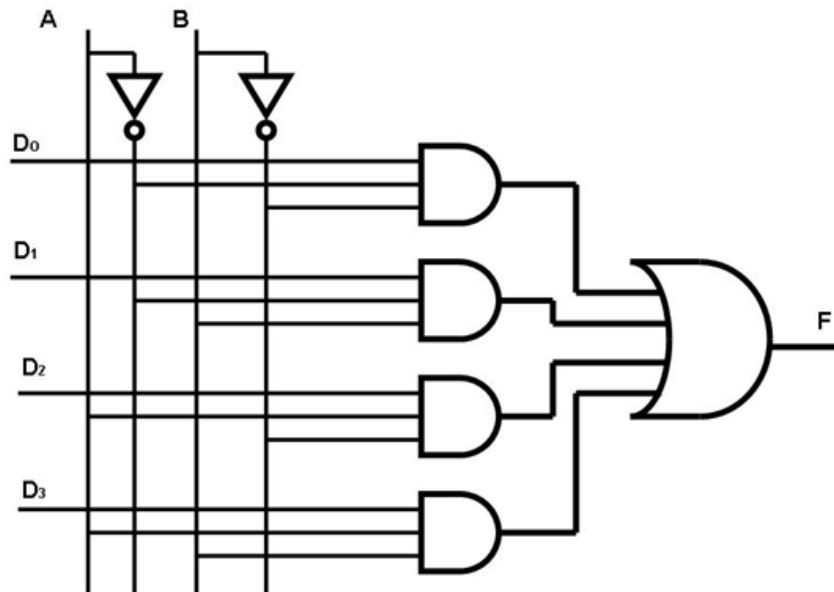
c.)

Demultiplexor de 2x4.

a.) Diagrama en bloques, b.) Tabla de verdad y c.) Las funciones de salida.



Unidad V. Circuitos Combinatorios



Multiplexor de 4 entradas y 1 salida
d.) Diagrama lógico

ACTIVIDAD 1

Realiza la lectura de la presentación de **Multiplexores y Demultiplexores**. A partir de la información presentada, diseña con multiplexores y un demultiplexor un circuito que seleccione de acuerdo a dos variables de control una de las cuatro opciones siguientes para una palabra de 4 bits:

- 1.- Detecte múltiplos de 3 en números de 4 bits.
- 2.- Detecte los números pares
- 3.- Detecte los números nones
- 4.- Detecte los números primos

Realiza tu actividad en un procesador de textos, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.



Unidad V. Circuitos Combinatorios



Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción



Unidad V. Circuitos Combinatorios



Tema 3. Codificadores / Tema 4 Decodificadores

Objetivos del tema

Reconocer el funcionamiento de los decodificadores y aplicar estos circuitos en el diseño de sistemas digitales combinacionales, tanto como selectores de dispositivos como generadores de funciones.

Desarrollo

Codificadores

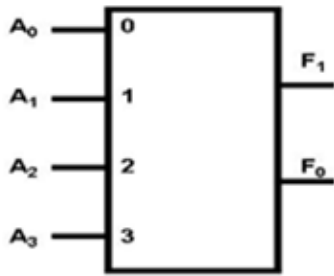
Un codificador tiene 2^n (o menos) líneas de entrada y n líneas de salida. Las líneas de salidas generan el código binario para las 2^n variables de entrada. Un ejemplo de un circuito codificador es el codificador de prioridad.

Un codificador de prioridad es un codificador en el que se establece un ordenamiento de las entradas. El diagrama en bloques y la tabla de verdad de un codificador de prioridad de 4 entradas a 2 salidas se muestra en la **figura Codificador de prioridad de 4 a 2**. El esquema de prioridades impuesto sobre las entradas hace que A_i tenga una prioridad mayor que A_{i+1} . La salida de dos bits adopta los valores 0_{10} , 1_{10} , 2_{10} u 3_{10} , dependiendo de las entradas activas y de sus prioridades relativas. Cuando no hay entradas activas, las salidas llevan, por defecto, a asignarle prioridad a la entrada A_0 ($F_0 = 0$ y $F_1 = 0$).

Los codificadores de prioridad se utilizan para arbitrar entre una cantidad de dispositivos que compiten por un mismo recurso, como cuando se produce el intento de acceso simultáneo de una cantidad de usuarios a un sistema de computación. La **figura Codificador de prioridad de 4 a 2. c) Función de verdad** ilustra el diagrama lógico para un codificador de prioridad de 4 entradas y 2 salidas.



Unidad V. Circuitos Combinatorios



a.)

$$F_0 = \bar{A}_0 \bar{A}_1 A_3 + \bar{A}_0 \bar{A}_1 A_2$$

$$F_1 = \bar{A}_0 \bar{A}_2 A_3 + \bar{A}_0 A_1$$

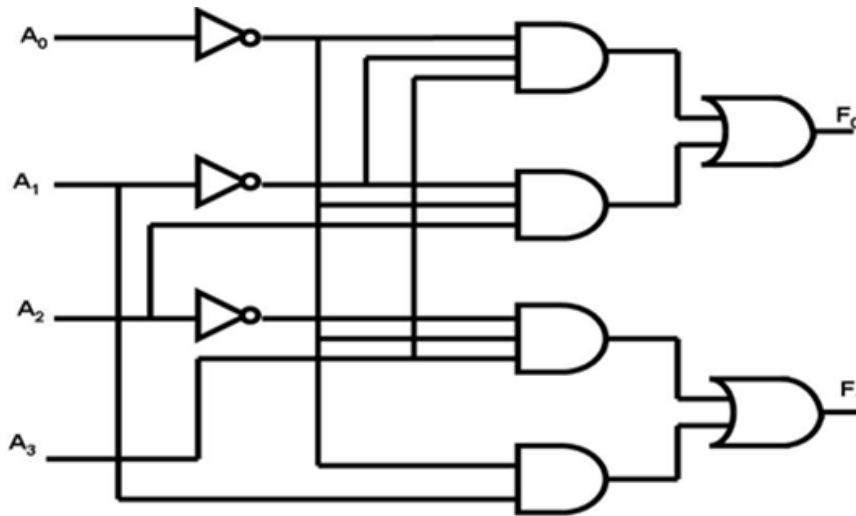
c.)

A_0	A_1	A_2	A_3	F_0	F_1
0	0	0	0	0	0
0	0	0	1	1	1
0	0	1	0	1	0
0	0	1	1	1	0
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	0	0
1	0	0	1	0	0
1	0	1	0	0	0
1	0	1	1	0	0
1	1	0	0	0	0
1	1	0	1	0	0
1	1	1	0	0	0
1	1	1	1	0	0

b.)

Codificador de prioridad de 4 a 2.

a.) Diagrama en bloques, b.) Tabla de verdad, c.) Funciones de salida.



d.) Diagrama lógico.

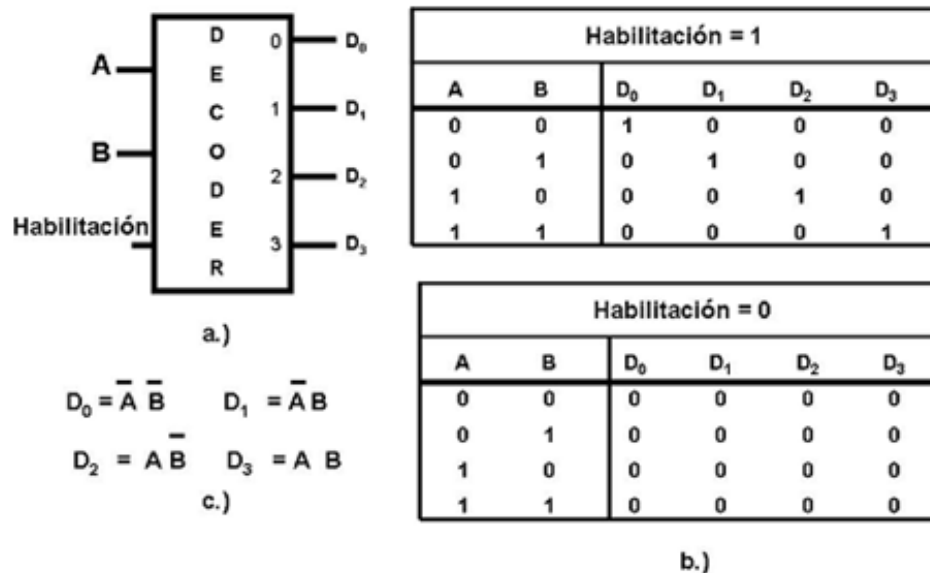


Unidad V. Circuitos Combinatorios



Decodificadores

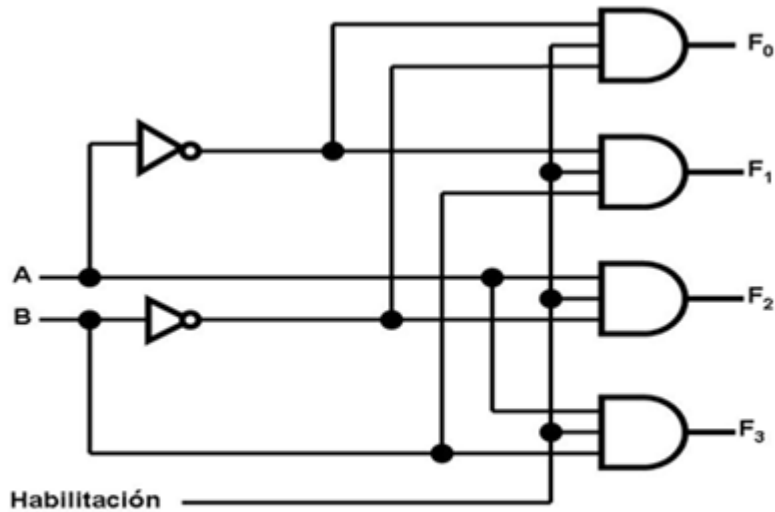
Un decodificador traduce una codificación lógica binaria hacia una ubicación espacial. En cada momento, solo una de las salidas del decodificador está en el estado activo (“1” lógico), según lo que determinen las entradas de control. La **figura Decodificador 2 a 4** muestra el diagrama en bloques, la tabla de verdad de un decodificador de 2 entradas a 4 salidas, cuyas entradas de control son *A* y *B*. El diagrama lógico correspondiente a la implementación del decodificador se muestra en la figura **figura Decodificador 2 a 4 c.) Funciones de salida**. Un circuito decodificador puede usarse para controlar otros circuitos, aunque a veces resulta inadecuado habilitar cualquiera de esos otros circuitos. Por esta razón, se incorpora en el circuito decodificador una línea de habilitación, la que fuerza todas las salidas a nivel “0” (inactivo) cuando se le aplica un “0” en la entrada.



Decodificador 2 a 4. a.) Diagrama a bloques, b.) Tabla de verdad y c.) funciones de salida.



Unidad V. Circuitos Combinatorios



decodificador 2 a 4
d.) Implementación de un decodificador 2 a 4.

Una aplicación para un circuito decodificador puede ser la traducción de direcciones de memoria a sus correspondientes ubicaciones físicas o para la implementación de funciones lógicas. Para el caso de implementación de funciones, dado que cada línea de salida corresponde a un término mínimo distinto, puede implementarse una función por medio de la suma lógica de las salidas correspondientes a los términos que son ciertos en la función. Por ejemplo en la **figura Implementación de una función utilizando un decodificador 3 a 8** se puede ver la implementación de la función con un decodificador de 3 a 8. Las salidas no utilizadas se dejan desconectadas.

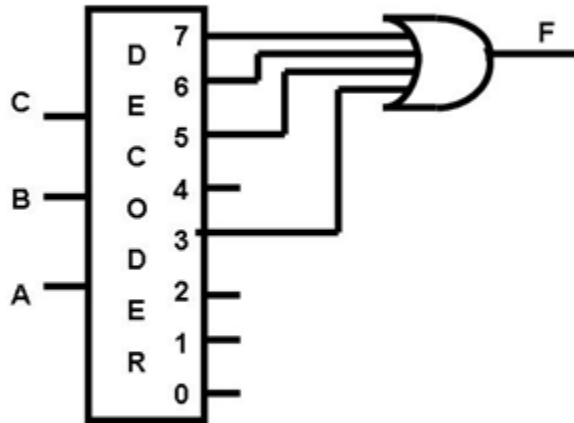


Unidad V. Circuitos Combinatorios



$$F = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$$

a.)



c.)

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

b.)

Implementación de una función utilizando un decodificador 3 a 8.
a.) Función a implementar, b.) Tabla de verdad y c.) Diagrama Lógico.

Diseño de un Decodificador BCD

Un decodificador, también puede utilizarse en la visualización de información de un “formato” a otro “formato” como lo es desplegar información en un “Display” de 7 Segmentos. Este circuito decodifica la información cuya entrada está en BCD a un código de siete segmentos adecuado para que se muestre en un visualizador de siete segmentos. El diseño de dicho decodificador se presenta a continuación:

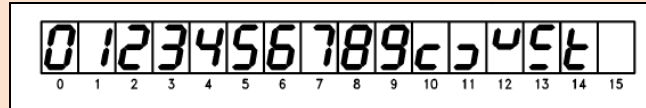


Unidad V. Circuitos Combinatorios



Se enuncia el problema

Diseñe un decodificador BCD a siete segmentos utilizando compuertas básicas



Se determina el número requerido de variables de entrada (n) y el número de funciones de salida (N).

$$n = 4, N = 2^n = 2^4 = 16$$

Para representar 16 combinaciones (una por cada símbolo) necesitamos cuatro entradas y siete salidas.

Se le asigna letras a las variables de entrada y a las funciones de salida.

Entradas => A, B, C, y D

Salidas => $f_a, f_b, f_c, f_d, f_e, f_f,$ y f_g .

Se deduce la tabla de verdad que define las relaciones entre las entradas y las salidas.

Entradas				Salidas						
A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	1	0	1	0	0	0	0
0	0	1	0	2	1	1	0	1	1	1
0	0	1	1	3	1	1	1	1	0	1
0	1	0	0	4	0	1	1	0	1	1
0	1	0	1	5	1	0	1	1	0	1
0	1	1	0	6	0	0	1	1	1	1
0	1	1	1	7	1	1	0	0	0	0
1	0	0	0	8	1	1	1	1	1	1
1	0	0	1	9	1	1	1	0	0	1
1	0	1	0	10	0	0	0	1	1	1
1	0	1	1	11	0	0	1	1	0	1
1	1	0	0	12	0	1	0	0	0	1
1	1	0	1	13	1	0	0	1	0	1
1	1	1	0	14	0	0	0	1	1	1
1	1	1	1	15	0	0	0	0	0	0

TABLA DE VERDAD BCD 7 DE SEGMENTOS



Unidad V. Circuitos Combinatorios



Se obtiene la función de Boole simplificada, en este caso utilizamos el método de Karnaugh a cada una de las salidas.

		f_A			
		00	01	11	10
AB	00	1	0	1	1
	01	0	1	1	0
	11	*	*	*	*
	10	1	1	*	*

		f_B			
		00	01	11	10
AB	00	1	1	1	1
	01	1	0	0	1
	11	*	*	*	*
	10	1	1	*	*

		f_C			
		00	01	11	10
AB	00	1	1	0	1
	01	1	1	1	1
	11	*	*	*	*
	10	1	1	*	*

		f_D			
		00	01	11	10
AB	00	1	0	1	1
	01	0	1	0	1
	11	*	*	*	*
	10	1	0	*	*

		f_E			
		00	01	11	10
AB	00	1	0	0	1
	01	0	0	0	1
	11	*	*	*	*
	10	1	0	*	*

		f_F			
		00	01	11	10
AB	00	1	0	0	0
	01	1	1	0	1
	11	*	*	*	*
	10	1	1	*	*

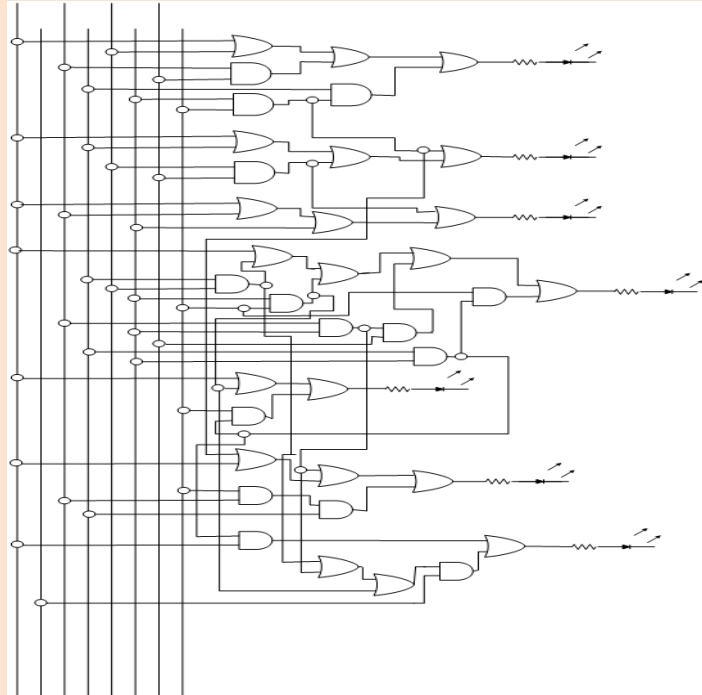
		f_G			
		00	01	11	10
AB	00	0	0	1	1
	01	1	1	0	1
	11	*	*	*	*
	10	1	1	*	*



Unidad V. Circuitos Combinatorios



Se dibuja el diagrama lógico del decodificador 7 segmentos





Unidad V. Circuitos Combinatorios



ACTIVIDAD 1

Construye un convertidor de código de exceso 3 a BCD con

- a) decodificadores
- b) multiplexores.

Realiza tu actividad en un procesador de textos, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.

Construye un comparador de tres bits utilizando

- a) Decodificadores
- b) Multiplexores

Realiza tu actividad en un procesador de textos, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.



Unidad V. Circuitos Combinatorios



Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción



Unidad V. Circuitos Combinatorios



Tema 5. Sumador medio (Medio sumador)

Objetivo del tema

Reconocer el funcionamiento de un medio sumador binario, así como podrá diseñarlos con componentes digitales.

Desarrollo

El sumador binario es un circuito combinacional básico en una computadora digital. Este circuito combinacional tiene una característica importante, y es que trabaja en “cascada”, es decir, puede realizar la suma de n-bits a la vez. Este sumador inicia con un circuito combinacional llamado *medio sumador* y le siguen n-1 *sumadores completos*. Para diseñar un sumador binario de n-bits, empezamos por definir qué es un medio sumador y un sumador completo para posteriormente diseñar un medio sumador y un sumador completo.

Definiciones:

Un **medio sumador** es un circuito combinacional que suma dos bits.

Un **sumador completo** es un circuito combinacional que suma tres bits.

- **Diseño de un medio sumador**

Para diseñar el circuito combinacional denominado *medio sumador* partimos de que deseamos un sumador de dos números de 1 bit cada uno de ellos, y de esta manera tenemos las siguientes combinaciones:

Con 2 variables, se tienen $2^2 = 4$ combinaciones



Unidad V. Circuitos Combinatorios



A_0	0	0	1	1
+	+	+	+	+
B_0	0	1	0	1
$C_0 S_0$	0 0	0 1	0 1	1 0
	C S	C S	C S	C S

donde

S es el bit del resultado de sumar dos bits, y

C es el bit de acarreo al momento de sumar dos bits

A partir de estos resultados obtenemos la tabla de verdad del medio sumador, la cual presentamos a continuación

Tabla de verdad: Medio Sumador

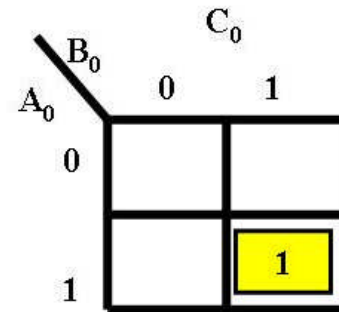
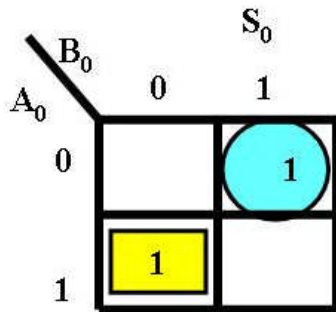
A_0	B_0	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

A partir de la tabla de verdad, podemos encontrar la ecuación de salida para el resultado S_0 de la suma de dos bits, así como la ecuación de salida del bit de acarreo C_0 utilizando Mapas de Karnaugh, como se muestra en la **figura**

Obtención de la ecuación de S_0 y C_0 utilizando mapas de Karnaugh.



Unidad V. Circuitos Combinatorios



$$S_0 = A_0 \bar{B}_0 + \bar{A}_0 B_0$$

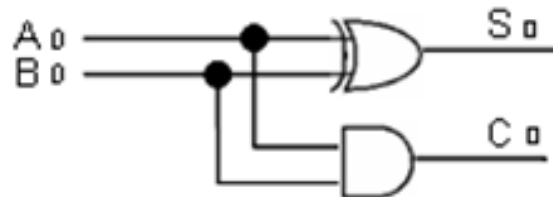
$$C_0 = A_0 B_0$$

$$S_0 = A_0 \oplus B_0$$

Obtención de la ecuación de S_0 y C_0 utilizando mapas de Karnaugh

La implementación (diagrama lógico) de la ecuación del medio sumador para S_0 y C_0 nos quedaría de la siguiente forma:

Diagrama lógico: Medio sumador



ACTIVIDAD 1

Explica la diferencia entre un medio sumador aritmético y la operación AND lógica para un sistema algebraico booleano.

Para enviar tu respuesta, pulsa el botón **Editar mi envío**; se mostrará un editor de texto en el cual puedes redactar tu información; una vez que hayas concluido, salva tu actividad pulsando el botón **Guardar cambios**.



Unidad V. Circuitos Combinatorios



Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción



Unidad V. Circuitos Combinatorios



Tema 6. Sumador completo

Objetivo del tema

Reconocer el funcionamiento de un sumador completo y realizará diseños del mismo a partir de diferentes circuitos lógicos.

Desarrollo

Diseño de un sumador completo

Para diseñar el circuito combinacional llamado *sumador completo* partimos de que deseamos un sumador de tres números de 1 bit cada uno de ellos, y de esta manera tenemos las siguientes combinaciones:

3 variables – $(2^3) = 8$ Combinaciones

C_i	0	0	0	0
+ A_{i+1}	+ 0	+ 0	+ 1	+ 1
B_{i+1}	0	1	0	1
<hr style="width: 100%;"/>	<hr style="width: 100%;"/>	<hr style="width: 100%;"/>	<hr style="width: 100%;"/>	<hr style="width: 100%;"/>
$C_{i+1} S_i$	0 0	0 1	0 1	1 0
	C S	C S	C S	C S
C_i	1	1	1	1
+ A_{i+1}	+ 0	+ 0	+ 1	+ 1
B_{i+1}	0	1	0	1
<hr style="width: 100%;"/>	<hr style="width: 100%;"/>	<hr style="width: 100%;"/>	<hr style="width: 100%;"/>	<hr style="width: 100%;"/>
$C_{i+1} S_{i+1}$	0 1	1 0	1 0	1 1
	C S	C S	C S	C S

donde

S_{i+1} es el bit del resultado de sumar tres bits, y

C_{i+1} es el bit de acarreo al momento de sumar tres bits.

A partir de estos resultados obtenemos la tabla de verdad del sumador completo, la cual presentamos a continuación.



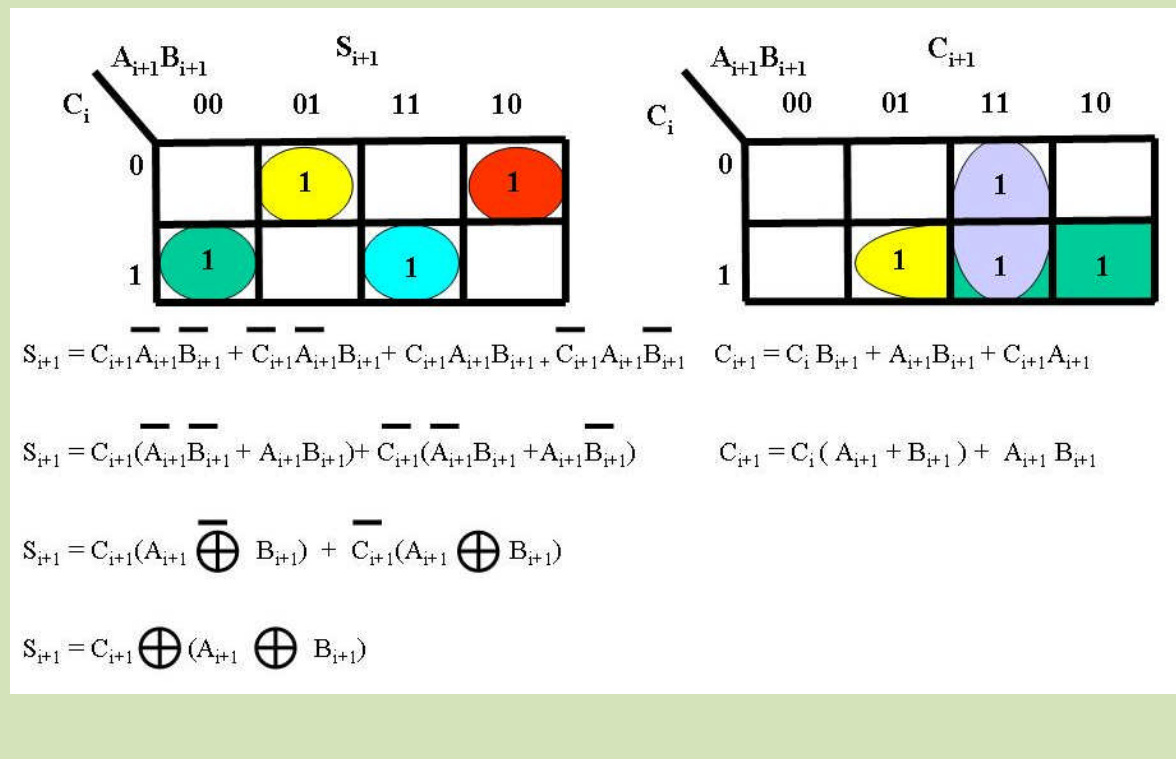
Unidad V. Circuitos Combinatorios



Tabla de verdad Sumador completo

C_i	A_{i+1}	B_{i+1}	C_{i+1}	S_{i+1}
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

A partir de la tabla de verdad, podemos encontrar la ecuación de salida para el resultado S_{i+1} de la suma de tres bits, así como la ecuación de salida del bit de acarreo C_{i+1} utilizando Mapas de Karnaugh, como se muestra en la **figura** Obtención de las ecuaciones de S_{i+1} y C_{i+1} empleando mapas de Karnaugh.



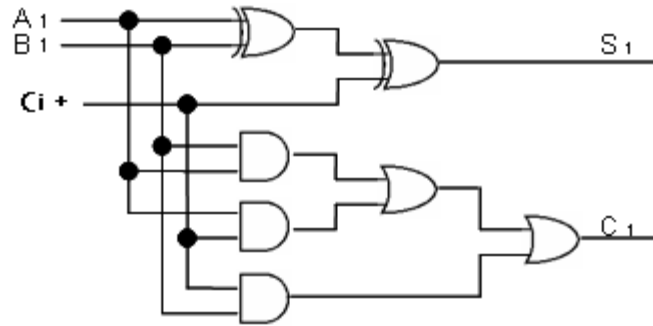


Unidad V. Circuitos Combinatorios



La implementación (diagrama lógico) de la ecuación del sumador completo para S_{i+1} y C_{i+1} nos quedaría de la siguiente forma:

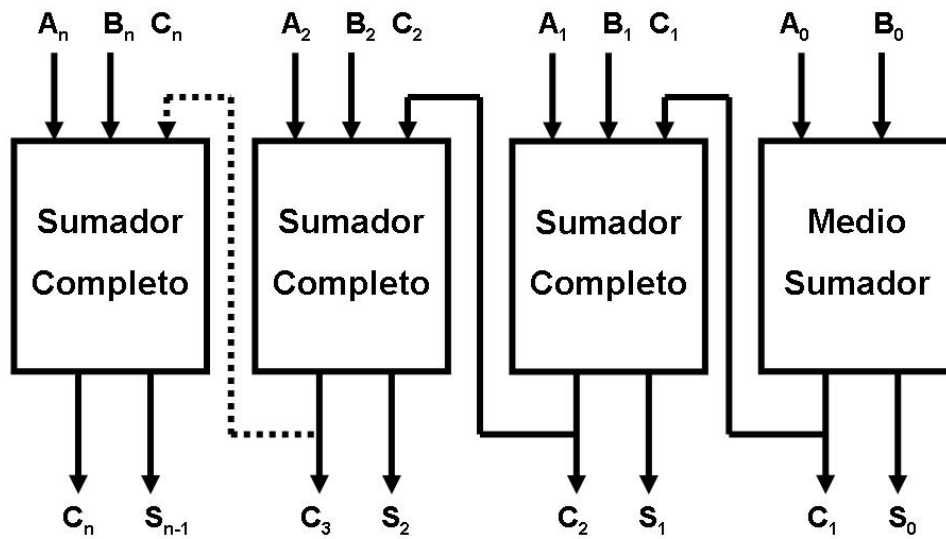
Diagrama lógico: Sumador completo





Sumador completo de n-bits

En algunos casos se desea sumar dos números de n-bits, lo que se hace es poner un medio sumador y n-1 sumadores completo en cascada y de esta manera tenemos un sumador de n bits, como se muestra en la **figura Sumador de n-bits implementados con n-1 sumadores completos**



Sumador de n-bits implementados con n-1 sumadores completos

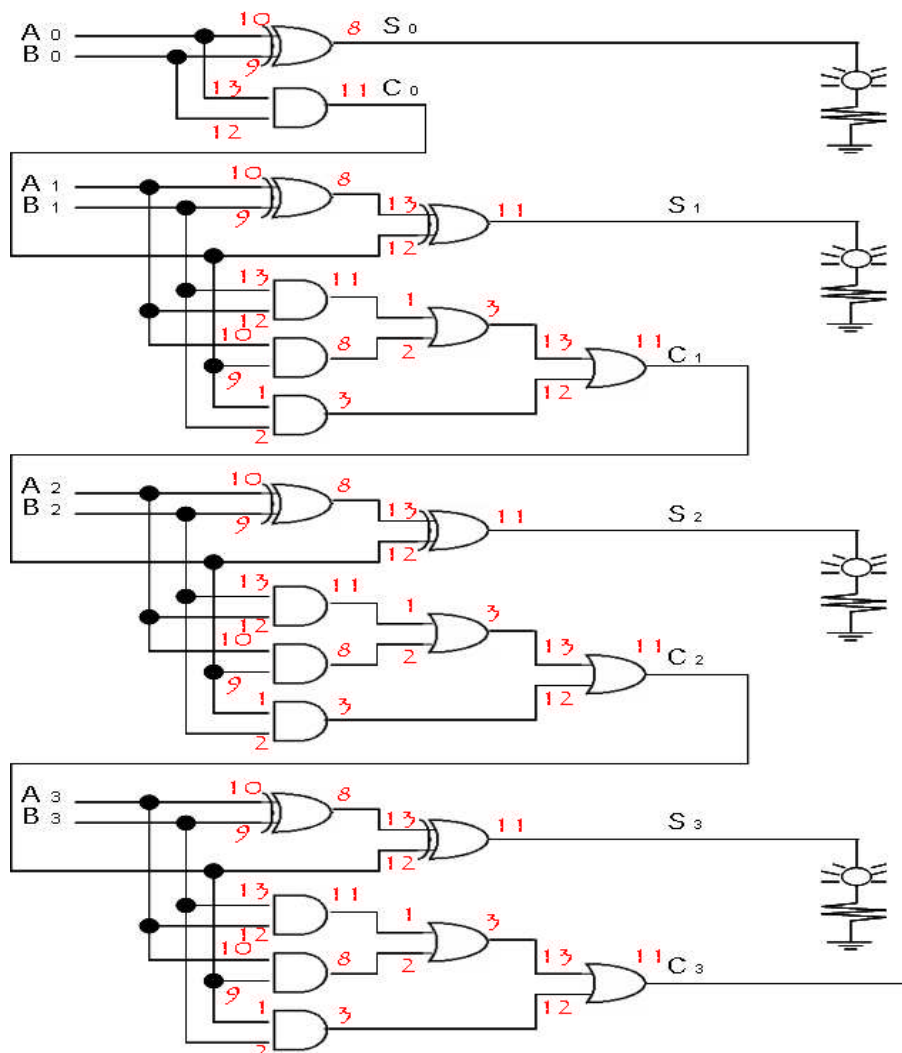


Unidad V. Circuitos Combinatorios



A partir del diagrama a bloques del sumador de 4 bits (ver figura Sumador de n-bits implementados con n-1 sumadores completos), se construye el diagrama lógico el cual se presenta en la figura Diagrama lógico de un Sumador de 4 bits en cascada y su respectivo diagrama eléctrico en la figura Diagrama eléctrico de un sumador de 4 bits en cascada.

Diagrama eléctrico: Sumador de 4 bits

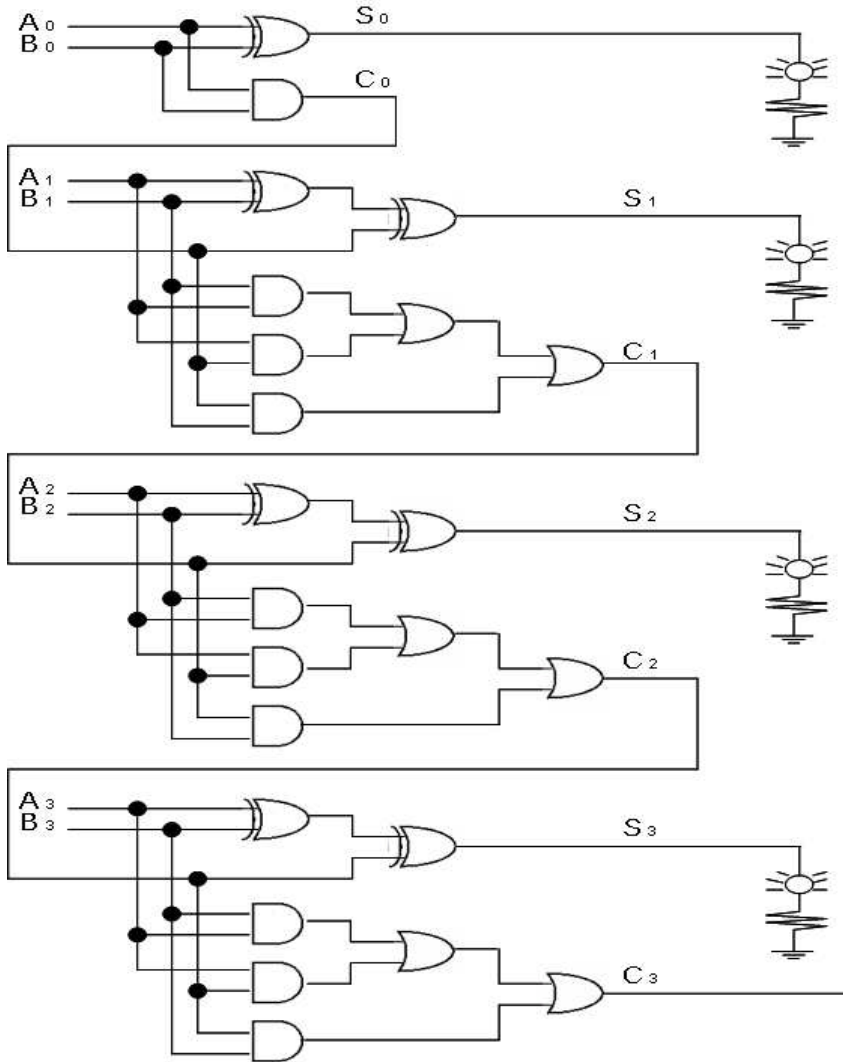




Unidad V. Circuitos Combinatorios



Diagrama lógico: Sumador de 4 bits





Unidad V. Circuitos Combinatorios



ACTIVIDAD 1

Construye un sumador completo utilizando:

- a) compuertas básicas
- b) decodificadores
- c) multiplexores

Para enviar tu respuesta, pulsa el botón **Editar mi envío**; se mostrará un editor de texto en el cual puedes redactar tu información; una vez que hayas concluido, salva tu actividad pulsando el botón **Guardar** cambios.



Unidad V. Circuitos Combinatorios



ACTIVIDAD 2

Responde las siguientes preguntas

Para enviar tus respuestas, pulsa el botón Editar mi envío; se mostrará un editor de texto en el cual puedes redactar tu información; una vez que hayas concluido, salva tu actividad pulsando el botón Guardar cambios.

1. ¿Qué es un circuito combinacional?.
2. ¿En qué consiste la lógica combinacional?.
3. ¿Qué es un multiplexor?
4. ¿Cuál es el uso de un multiplexor?
5. ¿Qué es un demultiplexor?
6. ¿Qué es un codificador?
7. ¿Cuál es el uso del decodificador?
8. ¿Qué es un decodificador de prioridad?
9. ¿Que es un decodificador?
10. ¿Que es un medio sumador?
11. ¿Qué es un sumador completo?



Unidad V. Circuitos Combinatorios



Autoevaluación

Relaciona las columnas para formar las oraciones. Escribe el número correspondiente para completar el enunciado.

1) Medio Sumador	() Circuito Combinacional que despliega los números 0-9 en un "Display" de 7 segmentos
2) Circuito Combinacional	() Circuito Combinacional que realiza la suma de tres números de 1 bit cada uno.
3) Multiplexor	() Circuito combinacional que está formado a base de un medio sumador y $n-1$ sumadores completos.
4) Codificador de Prioridad	() Circuito combinacional que realiza la comparación " <i>magnitud</i> " de 2 números de n -bits.
5) Sumador Completo	() Circuito combinacional que tiene una sola entrada de datos D , n líneas de control y m ($m = 2^n$) salidas.
6) Decodificador	() Circuito Combinacional de 2^n entradas y n salidas de tal forma que cuando una de las entradas adopta un estado lógico, a la salida aparece la combinación binaria correspondiente al número decimal asignado a dicha entrada.
7) Comparador de magnitud	() Circuito combinacional utilizado para arbitrar entre una cantidad de dispositivos que compiten por un mismo recurso.
8) Codificador	() Circuito Combinacional que tiene m entrada de datos, n líneas de control y una sola salida.
9) Sumador completo de n -bits	() Circuitos que transforman un conjunto de entradas en un conjunto de salidas de acuerdo con una o más funciones lógicas.
10) Demultiplexor	() Circuito Combinacional que realiza la suma de dos números de 1 bit cada uno.



Unidad V. Circuitos Combinatorios



Bibliografía básica

Autor	Capítulo	Páginas

Sitios electrónicos

Sitio	Descripción

LO QUE APRENDÍ

Revisa la presentación sobre Circuitos lógicos combinacionales y desarrolla la actividad indicada en el documento.

Realiza tu actividad en power point, guárdala en tu computadora y una vez concluida, presiona el botón **Examinar**. Localiza el archivo, ya seleccionado, presiona **Subir este archivo** para guardarlo en la plataforma.



Unidad V. Circuitos Combinatorios



Glosario de la unidad

Circuito lógico combinacional.

Arreglo de compuertas lógicas con señales de entrada y salida, mediante los cuales se generan funciones booleanas. La salida de estos circuitos sólo depende de las entradas, de manera que cuando ocurre un cambio en el valor de alguna de las entradas se refleja inmediatamente en las salidas.

Codificador octal-binario.

Circuito lógico combinacional que convierte 8 entradas (0-7) a una representación binaria BCD.

Codificador.

Circuito digital con $2n$ entradas y n salidas. La función de estos circuitos es generar a la salida en formato binario la señal de entrada.

Compuerta AND.

Dispositivo electrónico digital con n entradas y una salida, la cual corresponde a la operación booleana AND. La salida será válida sólo si todas las variables de entrada son validas.

Compuerta AND exclusiva.

Dispositivo electrónico digital cuya función de salida será válida cuando una de las entradas este encendida y la otra apagada de manera exclusiva.

Compuerta NAND.

Dispositivo electrónica digital cuya salida es la función AND complementada.

Compuerta NOR.

Dispositivo electrónica digital cuya salida es la función OR complementada.



Unidad V. Circuitos Combinatorios



Compuerta NOT.

Dispositivo electrónica digital cuya salida es la señal de entrada complementada.

Compuerta OR.

Dispositivo electrónico digital cuya función de salida será válida cuando una de las entradas este encendida y la otra apagada de manera exclusiva.

Compuerta OR exclusiva.

Dispositivo electrónico digital cuya salida corresponde a la función booleana OR. La salida será válida si alguna de las variables de entrada es válida.

Compuertas digitales.

Dispositivos electrónicos construidos con transistores mediante los cuales se implementan funciones booleanas. Constan de dos o más variables de entrada y una salida. Cualquier dispositivo electrónico está construido en base a las compuertas básicas: AND, OR, NOT, NAND, NOR, EXOR o EXAND.

Decodificadores.

Circuito lógico combinacional con n entradas y 2^n salidas en el cual solo una de las salidas será activada para cada posible combinación de las entradas.

Entrada de habilitación.

Terminal de un circuito lógico combinacional que lo habilita o enciende.

Función mínima.

Expresión más pequeña que representa una determinada función. Una función puede ser representada de diversas formas, pero para efectos del diseño de circuitos, la función debe construirse con la cantidad mínima de compuertas.



Unidad V. Circuitos Combinatorios



Método de diseño.

Procedimiento establecido para el diseño y la construcción de circuitos digitales que permite de manera sistemática la construcción de circuitos que responden a problemas desde su enunciado.

Multiplexor.

Circuito lógico combinacional con n entradas de control, $2n$ variables de entrada y una sola salida. El valor de la salida corresponde a la entrada correspondiente para la combinación de las n líneas de control. Un ejemplo es un decodificador de 2×4 , dos entradas de control y cuatro entradas. Las posibles combinaciones de entrada son: 00, 01, 10 y 11, las cuales habilitan solo una de las entradas y la colocan a la salida el valor de dicha entrada.

Sumador completo.

Circuito lógico combinacional que realiza la operación aritmética de suma para dos bits considerando el acarreo, de manera que se tienen tres entradas: sumando1, sumando2 y acarreo, a la salida se tienen dos salidas: la suma y el acarreo para $t+1$.

Sumador medio (Medio sumador).

Circuito lógico combinacional que realiza la suma aritmética de dos bits y a la salida se tiene la suma y un acarreo. Este circuito, no considera el acarreo de entrada por lo que se le denomina medio sumador.



Unidad V. Circuitos Combinatorios



MESOGRAFÍA

Bibliografía básica

Bibliografía complementaria

Sitios electrónicos